

## Family list

5 application(s) for: JP2000331477

## 1 SEMICONDUCTOR INTEGRATED CIRCUIT

Inventor: MATSUI YOSHINORI

Applicant: NIPPON ELECTRIC CO

EC: G11C7/10P

IPC: G06F12/08; G11C7/10; G11C11/401; (+16)

Publication info: JP2000331477 (A) — 2000-11-30  
JP3358612 (B2) — 2002-12-24

## 2 SEMICONDUCTOR INTEGRATED CIRCUIT

Inventor: MATSUI YOSHINORI

Applicant: NIPPON ELECTRIC CO

EC:

IPC: G11C11/417; G11C11/401; G11C11/407;  
(+15)Publication info: JP2002184185 (A) — 2002-06-28  
JP4002418 (B2) — 2007-10-31

## 3 Semiconductor integrated circuit device

Inventor: MATSUI YOSHINORI [JP]

Applicant: NIPPON ELECTRIC CO [JP]

EC: G11C7/10P

IPC: G06F12/08; G11C7/10; G11C11/401; (+10)

Publication info: US6343046 (B1) — 2002-01-29

## 4 Semiconductor integrated circuit device

Inventor: MATSUI YOSHINORI [JP]

Applicant: NIPPON ELECTRIC CO [JP]

EC: G11C7/10P

IPC: G11C7/10; G06F12/08; G11C7/10; (+2)

Publication info: US2002015349 (A1) — 2002-02-07  
US6535448 (B2) — 2003-03-18

## 5 Semiconductor integrated circuit device

Inventor: MATSUI YOSHINORI [JP]

Applicant: NIPPON ELECTRIC CO [JP]

EC: G11C7/10P

IPC: G11C7/10; G06F12/08; G11C7/10; (+3)

Publication info: US2002154564 (A1) — 2002-10-24  
US6690615 (B2) — 2004-02-10

---

Data supplied from the esp@cenet database — Worldwide

## SEMICONDUCTOR INTEGRATED CIRCUIT

**Publication number:** JP2000331477 (A)

**Publication date:** 2000-11-30

**Inventor(s):** MATSUI YOSHINORI

**Applicant(s):** NIPPON ELECTRIC CO

**Classification:**

**- international:** G06F12/08; G11C7/10; G11C11/401; G11C11/409; G11C11/41; G11C11/417; G06F12/08; G06F12/08; G11C7/10; G11C11/401; G11C11/409; G11C11/41; G11C11/417; G06F12/08; (IPC1-7): G11C11/401; G06F12/08; G11C11/409; G11C11/41; G11C11/417

**- European:** G11C7/10P

**Application number:** JP20000023185 20000131

**Priority number(s):** JP20000023185 20000131; JP19990069309 19990315

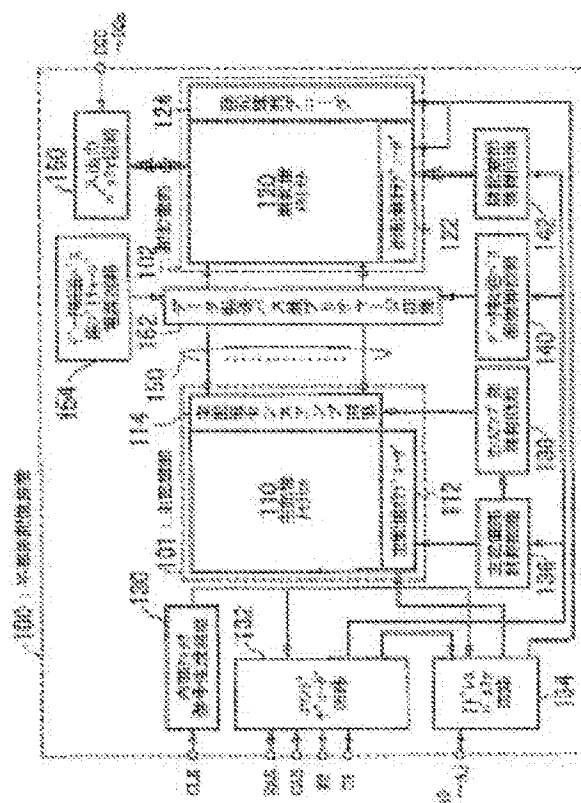
**Also published as:**

JP3358612 (B2)

US6343046 (B1)

### Abstract of JP 2000331477 (A)

**PROBLEM TO BE SOLVED:** To provide a semiconductor integrated circuit capable of efficiently executing data transfer between a main memory part and a sub memory part operated at different operating voltages and also operating stably while efficiently suppressing noise produced internally. **SOLUTION:** A semiconductor integrated circuit, which has a main memory part 101 and a sub memory part 102 functioning as a cache memory and is constituted so that bidirectional data transfer is possible through a data transfer bus line 150 provided between the main memory part 101 and the sub memory part 102, is provided with a data transfer bus line pre-charge power source circuit 154 feeding voltage lower than the power source voltage fed to the main memory part 101 to the data transfer bus line 150 during non data transfer period.



Data supplied from the esp@cenet database — Worldwide



## 【特許請求の範囲】

【請求項1】 主記憶部とキャッシュメモリとして機能する副記憶部とを有し、前記主記憶部と前記副記憶部との間に設けられたデータ転送バス線を介して双方向のデータ転送が可能のように構成された半導体集積回路装置であって、

非データ転送時に、前記主記憶部に供給する電源電圧より低いレベルの電圧を前記データ転送バス線に対して供給する電源手段を具備することを特徴とする半導体集積回路装置。

【請求項2】 前記主記憶部に設けられたセンスアンプ回路と、前記センスアンプ回路を制御するセンスアンプ部制御回路とを備え、

前記センスアンプ部制御回路は、前記センスアンプ回路と前記データ転送バス線を接続する接続回路に対し、前記主記憶部から前記副記憶部へデータを転送する場合には主記憶部電源レベルを供給し、前記副記憶部から前記主記憶部へデータを転送する場合には前記主記憶部電源レベルを昇圧した主記憶部昇圧電源レベルを供給することを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記副記憶部に設けられた複数のメモリセルと、

前記副記憶部を制御する副記憶部制御回路とを備え、前記副記憶部制御回路は、前記メモリセルと前記データ転送バス線を接続する接続回路に対し、前記主記憶部から転送されるデータを取り込む場合には前記主記憶部電源レベルを昇圧した主記憶部昇圧電源レベルを供給し、前記メモリセルから前記主記憶部へデータを転送する場合には前記主記憶部電源レベルを供給することを特徴とする請求項1又は請求項2記載の半導体集積回路装置。

【請求項4】 前記センスアンプ部制御回路は、前記副記憶部から転送されるデータを取り込む場合には、前記センスアンプ回路内に設けられたトランジスタを非導通状態としてから取り込むことを特徴とする請求項2記載の半導体集積回路装置。

【請求項5】 前記副記憶部制御回路は、前記主記憶部から転送されるデータを取り込む場合には、前記メモリセル内に設けられたトランジスタを非導通状態としてから取り込むことを特徴とする請求項3記載の半導体集積回路装置。

【請求項6】 主記憶部と副記憶部とを有し、前記主記憶部と前記副記憶部との間に設けられたデータ転送バス線を介して双方向のデータ転送が可能のように構成された半導体集積回路装置であって、

前記主記憶部に設けられたセンスアンプ回路と、前記センスアンプ回路を制御するセンスアンプ部制御回路と、前記センスアンプ回路と前記主記憶部内の主記憶メモリセルとを電気的に接続するスイッチ手段とを備え、

前記センスアンプ部制御回路は、前記主記憶部から副記憶部へ転送するデータを前記センスアンプ回路に取り込んだ後に、前記スイッチ手段を制御して前記センスアンプ回路と前記主記憶部メモリセルとを電気的に絶縁し、絶縁された状態で前記主記憶部から前記副記憶部へ前記データを転送することを特徴とする半導体集積回路装置。

【請求項7】 前記センスアンプ部制御回路は、前記センスアンプ回路に取り込んだ前記データの増幅と並行して、前記スイッチ手段を制御して前記センスアンプ回路と前記主記憶メモリセルとを電気的に絶縁し、前記センスアンプ回路と前記主記憶メモリセルとが電気的に絶縁した状態で前記主記憶部から前記副記憶部へデータの転送を開始させる転送開始命令が入力した場合に前記データを転送することを特徴とする請求項6記載の半導体集積回路装置。

【請求項8】 前記センスアンプ部制御回路は、前記センスアンプ回路に取り込んだ前記データの増幅を行い、前記主記憶部から前記副記憶部へデータの転送を開始させる転送開始命令が入力した場合に前記センスアンプ回路と前記主記憶メモリセルとを電気的に絶縁し、前記センスアンプ回路と前記主記憶メモリセルとが電気的に絶縁した状態で前記データを転送することを特徴とする請求項6記載の半導体集積回路装置。

【請求項9】 前記主記憶部を活性化する動作開始命令と前記主記憶部から前記副記憶部へデータの転送を開始させる転送動作開始命令とは同一のタイミングで入力されることを特徴とする請求項6又は請求項7記載の半導体集積回路。

【請求項10】 前記センスアンプ部制御回路は、前記転送終了時に前記スイッチ手段を制御してセンスアンプ回路と前記主記憶部メモリセルとを電気的に接続することを特徴とする請求項6乃至請求項9の何れかに記載の半導体集積回路装置。

【請求項11】 前記副記憶部は複数の副記憶メモリセル行に分割され、前記センスアンプ部制御回路は、前記複数の副記憶メモリセル行に転送終了時に前記スイッチ手段を制御してセンスアンプ回路と前記主記憶部メモリセルとを電気的に接続することを特徴とする請求項10記載の半導体集積回路装置。

【請求項12】 主記憶部と副記憶部とを有し、前記主記憶部と前記副記憶部との間に設けられたデータ転送バス線を介して双方向のデータ転送が可能のように構成された半導体集積回路装置であって、前記主記憶部に設けられたセンスアンプ回路と、前記センスアンプ回路を制御するセンスアンプ部制御回路とを備え、前記センスアンプ回路は、前記データ転送バス線1つに対して複数設けられるセグメント構成であり、

前記センスアンプ部制御回路は、前記データ転送バス線1つに対して1つの前記センスアンプ回路を電気的に接続し、前記副記憶部から前記主記憶部へデータ転送を行う前に、前記データ転送バス線と接続されないセンスアンプ回路に対して増幅動作を行わせることを特徴とする半導体集積回路装置。

【請求項13】 前記センスアンプ回路は、バランスブリチャージ回路を備え、

前記センスアンプ部制御回路は、前記セグメント毎にバランスブリチャージ回路を制御する手段を有することを特徴とする請求項12記載の半導体集積回路装置。

【請求項14】 前記センスアンプ回路は、前記センスアンプ回路と前記主記憶部内の主記憶部メモリセルを電気的に接続するスイッチ手段を備え、

前記センスアンプ部制御回路は、前記副記憶部から前記主記憶部へデータ転送を行う際に、前記センスアンプ回路を前記主記憶部メモリセルから電気的に切り離すことを特徴とする請求項13記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置に係り、特に同一半導体基板上に主記憶部と副記憶部とが形成され、当該主記憶部と副記憶部との間にデータ転送回路を有する半導体集積回路装置に関する。

【0002】

【従来の技術】一般にコンピュータシステムに用いられる主記憶装置として比較的低速で安価な大容量の半導体装置が用いられるが、この要求に合致したものとして汎用DRAMが多く使用されている。また、最近のコンピュータシステムでは、システムの高速化（特にMPUの高速化）に対して主記憶部を構成するDRAMの高速化もなされてはいるが、MPUの高速化に対しては不十分であり、MPUと主記憶部との間に高速メモリを副記憶部として搭載したシステムが主流である。このような副記憶部は一般にキャッシュメモリとよばれ、高速SRAMやECLRAMなどが用いられている。

【0003】キャッシュメモリの実装形態としては、一般にMPUの外部に設けられたものや、MPUに内蔵されたものがあるが、最近では、主記憶部を構成するDRAMとキャッシュメモリとを同一半導体基板上に搭載した半導体記憶装置が注目されている。この従来技術としては、特開昭57-20983号、特開昭60-7690号、特開昭62-38590号、特開平1-146187号などがある。これらの先行技術にかかる半導体記憶装置は、DRAMとキャッシュメモリとを搭載することから、一部でキャッシュDRAMと呼ばれている。またCDRAMとも記述される。これらは、キャッシュメモリとして機能するSRAMと主記憶部をなすDRAMとの間で、データを双方向に転送可能な構成になっている。

【0004】これらの先行技術には、キャッシュミスヒット時のデータ転送の動作の遅延などの問題があり、改善された技術が提案された。改善された従来技術には、以下のようなものがある。例えば特開平4-252486号、特開平4-318389号、特開平5-2872号に係る技術は、DRAM部とSRAM部との間のデータ転送を行うための双方向データ転送回路にラッチまたはレジスタ機能を設けているのが特徴で、SRAM部からDRAM部へのデータ転送とDRAM部からSRAM部へのデータ転送を同時に行うことができ、キャッシュミスヒット時のデータ転送（コピーバック）を速くすることを可能にしている。

【0005】これらの技術を特開平4-318389を例にして説明する。図17は、CDRAMのメモリアレイ部の構成の一例を概略的に示す図である。図17において、半導体記憶装置は、ダイナミック型メモリセルを含むDRAMアレイ9201と、スタティック型メモリセルからなるSRAMアレイ9202と、このDRAMアレイ9201とSRAMアレイ9202との間でのデータ転送を行うための双方向転送ゲート回路9203とを含む。またDRAMアレイ9201、SRAMアレイ9202には、各々に対応したロウデコーダ（行デコーダ）とコラムデコーダ（列デコーダ）とが設けられている。DRAMのロウデコーダ、コラムデコーダ、およびSRAMのロウデコーダ、コラムデコーダに与えられるアドレスは、互いに独立なアドレスであり、それぞれ異なるアドレスピン端子を介して与えられる構成となっている。図18および図19は、双方向転送ゲート回路9203の詳細な構成を示す図である。この構成によればSBLからGIOへのデータ転送と、GIOからSBLへのデータ転送はそれぞれデータ転送経路が異なり、かつラッチ9305およびアンプ9306の機能により、それぞれのデータ転送をオーバーラップさせて実行させることが可能となっている。

【0006】

【発明が解決しようとする課題】ところで、半導体集積回路装置においては、パッケージ全体に関する性能として、一般的に低消費電力化及び動作の高速化が要求される。一般的に、動作電圧を上昇させると動作の高速化は達成することができるが、その結果として消費電力の上昇を招く。逆に、低消費電力化を図るため動作電圧を低く設定すると動作の高速化が犠牲となる。

【0007】上記した従来技術にかかるCDRAMでは、低消費電力化を図るため、主記憶部をなすDRAMの動作電圧は低く設定され、逆に副記憶部をなすキャッシュメモリとして機能するSRAMの動作電圧は高速化の要求に応えるため高く設定される。このように動作電力の異なる主記憶部と副記憶部との間でデータ転送を行うためには図17に示す双方向転送ゲート回路が極めて重要となる。なぜならば、主記憶部は動作電圧が低いた

め、上述のようなキャッシュメモリを搭載する半導体記憶回路装置では、例えば上述のCDRAMのように、データ転送をオーバーラップさせて実行させるなど、複数の処理が同時に実行される場合があり、このような場合、回路動作に伴って内部で発生するノイズが顕著となって内部回路の誤動作を招くことがある。特にデータ信号として微弱な信号を取り扱うDRAMを主記憶部として用いる場合、この内部で発生するノイズを有効に抑制する必要がある。この状況は、主記憶部と副記憶部との間でデータ転送を行う場合にも生ずる問題である。

【0008】また、近年の半導体集積回路装置は、前述したように動作の高速化が要求されているが、異なる動作電圧の主記憶部と副記憶部との間のデータ転送を効率的に行わないと動作の高速化も達成できないことになる。

【0009】本発明は、上記事情に鑑みてなされたものであり、異なる動作電圧で動作する主記憶部と副記憶部とのデータ転送を効率的に行うことができ、しかも内部で発生するノイズを有効に抑えながら安定的に動作することができる半導体集積回路装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上記課題を解決するために、第1の発明は、主記憶部とキャッシュメモリとして機能する副記憶部とを有し、前記主記憶部と前記副記憶部との間に設けられたデータ転送バス線を介して双方向のデータ転送が可能となるように構成された半導体集積回路装置であって、非データ転送時に、前記主記憶部に供給する電源電圧より低いレベルの電圧を前記データ転送バス線に対して供給する電源手段を具備することを特徴とする。また、本発明は、前記主記憶部に設けられたセンスアンプ回路と、前記センスアンプ回路を制御するセンスアンプ部制御回路とを備え、前記センスアンプ部制御回路は、前記センスアンプ回路と前記データ転送バス線を接続する接続回路に対し、前記主記憶部から前記副記憶部へデータを転送する場合には主記憶部電源レベルを供給し、前記副記憶部から前記主記憶部へデータを転送する場合には前記主記憶部電源レベルを昇圧した主記憶部昇圧電源レベルを供給することを特徴とする。また、本発明は、前記副記憶部に設けられた複数のメモリセルと、前記副記憶部を制御する副記憶部制御回路とを備え、前記副記憶部制御回路は、前記メモリセルと前記データ転送バス線を接続する接続回路に対し、前記主記憶部から転送されるデータを取り込む場合には前記主記憶部電源レベルを昇圧した主記憶部昇圧電源レベルを供給し、前記メモリセルから前記主記憶部へデータを転送する場合には前記主記憶部電源レベルを供給することを特徴とする。また、本発明は、前記センスアンプ部制御回路が、前記副記憶部から転送されるデータを取り込む場合には、前記センスアンプ回路内に設けられたトランジスタを非導通状態としてから取り込むことが好ましい。

また、本発明は、前記副記憶部制御回路が、前記主記憶部から転送されるデータを取り込む場合には、前記メモリセル内に設けられたトランジスタを非導通状態としてから取り込むことが好ましい。また、第2の発明は主記憶部と副記憶部とを有し、前記主記憶部と前記副記憶部との間に設けられたデータ転送バス線を介して双方向のデータ転送が可能となるように構成された半導体集積回路装置であって、前記主記憶部に設けられたセンスアンプ回路と、前記センスアンプ回路を制御するセンスアンプ部制御回路と、前記センスアンプ回路と前記主記憶部内の主記憶メモリセルとを電気的に接続するスイッチ手段とを備え、前記センスアンプ部制御回路は、前記主記憶部から副記憶部へ転送するデータを前記センスアンプ回路に取り込んだ後に、前記スイッチ手段を制御して前記センスアンプ回路と前記主記憶部メモリセルとを電気的に絶縁し、絶縁された状態で前記主記憶部から前記副記憶部へ前記データを転送することを特徴とする。また、第2の発明の前記センスアンプ部制御回路は、前記センスアンプ回路に取り込んだ前記データの増幅と並行して、前記スイッチ手段を制御して前記センスアンプ回路と前記主記憶メモリセルとを電気的に絶縁し、前記センスアンプ回路と前記主記憶メモリセルとが電気的に絶縁した状態で前記主記憶部から前記副記憶部へデータの転送を開始させる転送開始命令が入力した場合に前記データを転送することを特徴とする。また、第2の発明の前記センスアンプ部制御回路は、前記センスアンプ回路に取り込んだ前記データの増幅を行い、前記主記憶部から前記副記憶部へデータの転送を開始させる転送開始命令が入力した場合に前記センスアンプ回路と前記主記憶メモリセルとを電気的に絶縁し、前記センスアンプ回路と前記主記憶メモリセルとが電気的に絶縁した状態で前記データを転送することを特徴とする。また、第2の発明において、前記主記憶部を活性化する動作開始命令と前記主記憶部から前記副記憶部へデータの転送を開始させる転送動作開始命令とは同一のタイミングで入力されることを特徴とする。また、第2の発明の前記センスアンプ部制御回路は、前記転送終了時に前記スイッチ手段を制御してセンスアンプ回路と前記主記憶部メモリセルとを電気的に接続することを特徴とする。また、第2の発明の前記副記憶部は複数の副記憶メモリセル行に分割され、前記センスアンプ部制御回路は、前記複数の副記憶メモリセル行に転送終了時に前記スイッチ手段を制御してセンスアンプ回路と前記主記憶部メモリセルとを電気的に接続することを特徴とする。また、第3の発明は、主記憶部と副記憶部とを有し、前記主記憶部と前記副記憶部との間に設けられたデータ転送バス線を介して双方向のデータ転送が可能となるように構成された半導体集積回路装置であって、前記主記憶部に設けられたセンスアンプ回路と、前記センスアンプ回路を制御するセンスアンプ部制御回路とを備え、前記センスアンプ回路は、前記デー

タ転送バス線1つに対して複数設けられるセグメント構成であり、前記センスアンプ制御回路は、前記データ転送バス線1つに対して1つの前記センスアンプ回路を電氣的に接続し、前記副記憶部から前記主記憶部へデータ転送を行う前に、前記データ転送バス線と接続されないセンスアンプ回路に対して増幅動作を行わせることを特徴とする。また、第3の発明の前記センスアンプ回路は、バランスブリチャージ回路を備え、前記センスアンプ制御回路は、前記セグメント毎にバランスブリチャージ回路を制御する手段を有することを特徴とする。また、第3の発明の前記センスアンプ回路は、前記センスアンプ回路と前記主記憶部内の主記憶部メモリセルを電氣的に接続するスイッチ手段を備え、前記センスアンプ制御回路は、前記副記憶部から前記主記憶部へデータ転送を行う際に、前記センスアンプ回路を前記主記憶部メモリセルから電氣的に切り離すことを特徴とする。

#### 【0011】

【発明の実施の形態】以下、図面を参照して本発明の実施形態による半導体集積回路装置について詳細に説明する。

#### 〈第1実施形態〉

##### (1) 基本構成

以下に本発明の第1実施形態の基本構成について説明する。本発明による半導体集積回路装置は、半導体記憶装置とその半導体記憶装置の制御装置とを含む。半導体記憶装置は主記憶部と副記憶部を有し、主記憶部と副記憶部で双方向のデータ転送が可能のように構成されている。また副記憶部は、複数の記憶セル群から構成されており、副記憶部のそれぞれの記憶セル群はそれぞれ独立したキャッシュとして機能する事が可能となっている。また本発明による半導体記憶装置では、コントロール端子やアドレス端子の数は、主記憶部を制御するのに必要な数と同じ数で実現する事も可能である。

【0012】以下、主に主記憶部として64MビットのDRAMアレイを有し、副記憶部として16KビットのSRAMアレイを有した×8ビットの2バンク構成のシンクロナスインターフェイスを持つ半導体記憶装置についての実施例を中心に説明する。ただし、本発明はこの構成に限定されるものではない。

#### 【0013】(2) ブロック図

図1は、本発明の第1実施形態による半導体記憶装置の全体の構成を概略的に示すブロック図である。図1において、半導体記憶装置100は、主記憶部101、副記憶部102、主記憶部101と副記憶部102とを有する。

【0014】主記憶部101は、行及び列からなるマトリックス状に配列された複数のダイナミック型メモリセルを備える主記憶メモリセル110と、後述するアドレスバッファ回路134から出力される主記憶部アドレス信号と主記憶部制御回路136から出力される制御信号

を受けて主記憶メモリセル110の対応行を選択する主記憶行デコーダ主記憶行デコーダ112と、選択された主記憶メモリセルに保持されたデータを検知し増幅するセンスアンプ114を備える。また、図示は省略しているが、主記憶メモリセル110は、バンクと呼ばれる複数のブロックに分割されており、例えば2つのバンクAおよびバンクBに分割され、主記憶部制御回路136から出力される制御信号によってバンクAまたはバンクBが選択される。

- 10 【0015】副記憶部102は、行及び列からなるマトリックス状に配列された複数のスタティック型メモリセルを備える副記憶メモリセル120と、後述する副記憶部制御回路142から出力される副記憶行選択信号とアドレスバッファ回路134から出力される副記憶部アドレス信号を受けて分割された副記憶メモリセル群(本実施形態では行毎に分割されたセル群)の選択を行う副記憶行デコーダ122と、アドレスバッファ回路134から出力される副記憶部アドレス信号から副記憶列選択信号を発生し、当該副記憶列選択信号により列選択を行う副記憶列デコーダ124を有する。

- 20 【0016】130は、外部から供給されるクロックCLKに基づいて半導体記憶装置100内で用いられる内部クロックを発生する内部クロック信号生成回路であり、発生した内部クロックはコマンドデコーダ回路132及びアドレスバッファ回路134へ出力される。コマンドデコーダ回路132は、入力されるチップセレクト信号CS、外部入力信号であるRAS信号、CAS信号、WE信号に基づいて半導体記憶装置100内部で必要な制御信号にデコードし、デコードした制御信号はアドレスバッファ回路134、後述する主記憶部制御回路136、データ転送バス線制御回路140、副記憶部制御回路142へそれぞれ出力する。

- 30 【0017】アドレスバッファ回路134は入力されるアドレス信号A0～Aj(jは0以上の整数)及びコマンドデコーダ回路132から出力される制御信号に基づいて、主記憶部101でアドレスを指定するための主記憶部アドレス信号と副記憶部102でアドレスを指定するための副記憶部アドレス信号とを生成する。主記憶部制御回路136はコマンドデコーダ回路132から出力される制御信号に基づいて主記憶行デコーダ112へ行を選択するための制御信号を出力するとともに上述したバンクを選択する制御信号を出力する。更に、センスアンプ部138の動作を制御する制御信号を出力する。センスアンプ部制御回路138は主記憶部制御回路136から出力される制御信号に基づいて主記憶センスアンプ回路114を制御する。

- 40 【0018】データ転送バス線制御回路140は、主記憶部101内に設けられた主記憶センスアンプ回路114と副記憶メモリセル120との間を接続するデータ転送バス線150上に設けられたデータ転送バス線ブリチ

ャージ回路152の動作を制御する。データ転送バス線ブリチャージ回路152にはデータ転送バス線ブリチャージ電源回路154から電源が供給されている。副記憶部制御回路142はコマンドデコーダ回路132から出力される制御信号を受け、副記憶メモリセル120の行選択信号を発生して副記憶メモリセル120の動作を制御するとともに、外部とのデータ授受を行うために設けられた入出力バッファ160との間で行われるデータ授受の制御を行う。

【0019】なお、本実施形態では、主記憶部101には例えばDRAMを用い、副記憶部102には例えばSRAMを用いた場合について説明するが、本発明はこれに制限されるものではない。主記憶部には、DRAMの他にSRAM、マスクROM、PROM、EPROM、EEPROM、フラッシュEEPROM、強誘電体メモリなど他のメモリを用いてもよい。主記憶部を構成するメモリは、その種類や特有の機能を有効に使用できるように構成することが望ましい。例えば、主記憶部にDRAMを用いる場合については、汎用DRAM、EDODRAM、シンクロナスDRAM、シンクロナスGRAM、バーストEDODRAM、DDRシンクロナスDRAM、DDRシンクロナスGRAM、SLDRAM、RambusDRAMなどを適宜使用する。また、副記憶部には主記憶部に用いたメモリよりも高速アクセス可能なランダムアクセスメモリであれば他のメモリを用いてもよい。主記憶部をフラッシュEEPROMで構成する場合には、副記憶部のメモリ容量はフラッシュEEPROMの一つの消去セクター単位の容量の1/2以上で構成されるのが望ましい。

#### 【0020】(3) モデル図

次に、主記憶メモリセル110と副記憶メモリセル120との間で行われるデータ転送について説明する。図2は、図1中の主記憶メモリセル110と副記憶メモリセル120との第1実施形態による接続関係を簡略化して示した図である。尚、図2は本実施形態の理解を容易にするための図であり、主記憶部101のセンスアンプ回路と副記憶部102のメモリセル列とを一対一に対応させて記載しているが、本発明は図2に示した構成に限定される訳ではなく、例えば主記憶部101の隣接する2台のセンスアンプ回路に対して1つの副記憶部メモリセル列が対応している構成(複数セグメント)であっても良い。

【0021】図2において、110は主記憶メモリセルであり、ディジット線対170と主記憶行デコーダに接続されたワード線172とが複数交差して配置されており、その交点にはメモリセル173が形成されている。ディジット線対170は主記憶センスアンプ回路114内のセンスアンプ回路174に接続されている。センスアンプ回路174は主記憶メモリセル110内のディジット線対170の数だけ設けられている。図1に示した

ように、主記憶センスアンプ回路114と副記憶メモリセル120とはデータ転送バス線150によって接続されているが、このデータ転送バス線150はセンスアンプ回路174に対応して設けられたデータ転送バス線対176がセンスアンプ回路174の数だけ設けられている。

【0022】データ転送バス線ブリチャージ回路152内には各データ転送バス線対176に対応してブリチャージ回路152が設けられている。このブリチャージ回路178もデータ転送バス線対176の数だけ設けられている。副記憶メモリセル120は、図2に示したように、複数の副記憶メモリセル行180からなり、各々の副記憶メモリセル行180にはデータ転送バス線対176に対応してメモリセル182が設けられている。尚、上述したように、図2はあくまでも本実施形態の理解を容易にするために簡略化して記載した図であることに留意すべきである。

【0023】次に、図1又は図2に示したデータ転送バス線ブリチャージ電源回路154、データ転送バス線ブリチャージ回路152、主記憶センスアンプ回路114、及び副記憶メモリセル行180の内部構成について詳細に説明する。

〔データ転送バス線ブリチャージ回路152〕次に、データ転送バス線ブリチャージ回路152の内部構成について説明する。図3は、データ転送バス線ブリチャージ回路152の内部構成を示す図であり、図1又は図2に示した部材と同一の部材については同一の符号が付してある。図3に示したように、データ転送バス線ブリチャージ回路152はデータ転送バス線対176の数だけブリチャージ回路178が設けられている。ブリチャージ回路178はNチャネル型MOSトランジスタ(以下NMOSトランジスタと称する)200aのデータ転送バス線対176の一方に接続し、NMOSトランジスタ200aのNMOSトランジスタ200bとを接続し、NMOSトランジスタ200bをデータ転送バス線対176の他方に接続し、更に、NMOSトランジスタ200cをデータ転送バス線対176の間に接続し、NMOSトランジスタ200a、200b、200cのゲートを互いに接続した構成となっている。

【0024】また、NMOSトランジスタ200a、200bとの接続点にはデータ転送バス線ブリチャージ電源回路154に接続されたデータ転送バス線ブリチャージ線192が接続されている。また、NMOSトランジスタ200a、200b、200cのゲートの接続点にはデータ転送バス線制御回路140に接続されたデータ転送バス制御信号線190が接続されている。

【0025】〔データ転送バス線ブリチャージ電源回路154〕次に、データ転送バス線ブリチャージ電源回路154の内部構成について説明する。図4は、データ転送バス線ブリチャージ電源回路154の内部構成を示す図で



ある。図4に示されたように、データ転送バス線プリチャージ電源回路154は、オペアンプ196とPチャネル型MOSトランジスタ（以下PMOSトランジスタと称する）198からなる。オペアンプ196の負入力端子にはデータ転送バス線プリチャージ線192の電圧を規定する基準電圧となるデータ転送バス線レベル基準電位が入力され、オペアンプ196の出力端はPMOSトランジスタ198のゲートが接続されている。また、PMOSトランジスタ198には外部電源線が接続され、残りの端子はオペアンプ196の正入力端に接続されるとともにデータ転送バス線プリチャージ線192が接続されている。

【0026】（主記憶センスアンプ回路114）図5は、主記憶センスアンプ回路114の構成等を示す図であり、図1又は図2に示された部材と同一部材については同一の符号を付してある。図5に示されたように、各ディジット線対170にはディジット線バランスプリチャージ回路200が設けられている。これらディジット線バランスプリチャージ回路200とセンスアンプ部制御回路138とはディジット線バランスプリチャージ信号線202によって接続されている。

【0027】また、各センスアンプ回路174はフリップフロップ回路が設けられている。このフリップフロップ回路はPMOSトランジスタ210、212及びNMOSトランジスタ214、216で構成される。また、ディジット線対170とデータ転送バス線対176とを接続する接続回路は、NMOSトランジスタ218、220によって構成される。ディジット線対170各々に設けられたNMOSトランジスタ222、224はセンスアンプ回路174をディジット線対から切り離すために設けられるスイッチ用のトランジスタである。

【0028】センスアンプ部制御回路138には、上記ディジット線バランスプリチャージ信号線202が接続されている他、ディジット線トランスファースイッチ信号線206、センスアンプ部転送スイッチ信号線204、センスアンプコントロール線208、センスアンプコントロール線210が接続されている。上記ディジット線バランスプリチャージ信号線202は、ディジット線バランスプリチャージ回路200におけるプリチャージレベルを制御する制御信号をセンスアンプ部制御回路138からディジット線バランスプリチャージ回路200へ伝達するものであり、ディジット線トランスファースイッチ信号線206は、センスアンプ回路174をディジット線対から切り離すか又は接続するかを制御する制御信号をNMOSトランジスタ222、224へ伝達するためのものである。

【0029】また、センスアンプ部転送スイッチ信号線204は、センスアンプ回路174に取り込まれ、センスアンプ内接点対217によってセンスアンプされた信号をデータ転送バス線対176に出力するか否か、又は

データ転送バス線対176を介して転送される信号をアンプ回路174内部に取り込むか否かを制御する制御信号を伝達するものである。

【0030】本実施形態における半導体集積回路装置は、データ転送に関し、一度のデータ転送で1024ビットの単位で行われる。この場合、低消費電力を図るために信号のレベルを抑え、主記憶部101に供給される電源電圧の10%以下程度としている。このように、信号のレベルが低い場合、例えば図2に示すセンスアンプ回路174に信号を取り込む際、データバス転送バス線の初期電位を主記憶部101の電源電圧とすると、センスアンプ部制御回路138からセンスアンプ部転送スイッチ信号線204を介してNMOSトランジスタ218、220によって構成される接続回路へ供給されるセンスアンプ部転送スイッチ信号のレベルはより高い電圧に設定する必要がある。従って、昇圧レベルを緩和するために、データ転送バス線対176の非転送時のプリチャージレベルを主記憶部の電源電圧以下の中間電位としている。中間電位としては例えば主記憶部の電源電圧の半分の値が用いられる。

【0031】また、この中間電位は図4に示したデータ転送バス線プリチャージ電源回路154へデータ転送バス線レベル基準電位を与えることによって生成されており、独立した電源から上記中間電位が生成されるので、他の回路素子の動作による電源電圧の変動雑音がデータ転送バス線対176に影響を及ぼさないようにしている。

【0032】また、センスアンプコントロール線208は、PMOSトランジスタ210、212からなるフリップフロップの増幅率を制御する制御信号を伝達するものであり、センスアンプコントロール線210は、NMOSトランジスタ214、216からなるフリップフロップの増幅率を制御する制御信号を伝達するものである。

【0033】次に、センスアンプ部制御回路138の内部構成の一部について説明する。図6は、センスアンプ部制御回路138内に設けられたセンスアンプ部転送スイッチ信号生成回路230の構成を示す図である。このセンスアンプ部転送スイッチ信号生成回路230は、センスアンプ回路174に取り込まれ、センスアンプ内接点対217によってセンスアンプされた信号をデータ転送バス線対176に出力するか否か、又はデータ転送バス線対176を介して転送される信号をセンスアンプ回路174内部に取り込むか否かを制御する制御信号を生成するとともに、センスアンプ回路174へ供給する電源を制御するものである。

【0034】データ転送バス線対176の初期電位を上記のような中間電位としても、センスアンプ回路174内に信号を取り込む場合、図5に示したセンスアンプ部制御回路138からセンスアンプ部転送スイッチ信号線

204を介してNMOSTランジスタ218、220によって構成される接続回路へ供給されるセンスアンプ部転送スイッチ信号は主記憶部101の電源電圧に対して昇圧した主記憶部昇圧電源を与える必要がある。

【0035】一方、センスアンプ回路174からメモリセル182にデータを転送する場合にセンスアンプ部転送スイッチ信号として主記憶部昇圧電源を与えるとデータ転送バス線対176の方がセンスアンプ回路174内のハイ側接点レベルより設定しているためデータ転送バス線対176のレベルに引かれてセンスアンプ回路174内のハイ側接点レベルが低下し、センスアンプ回路274からデータ転送バス線対176へのデータ転送能力が低下してしまう。

【0036】図6に示したセンスアンプ部転送スイッチ信号生成回路230は、上記の問題点を解消するためにセンスアンプ回路174内に信号を取り込む場合と、センスアンプ回路274からメモリセル182へデータを転送する場合とで、センスアンプ部制御回路138からセンスアンプ部転送スイッチ信号線204を介してNMOSTランジスタ218、220によって構成される接続回路へ供給されるセンスアンプ部転送スイッチ信号を主記憶部101の電源として用いられる主記憶部電源とするか又は主記憶部昇圧電源とするかを制御する回路である。

【0037】図6を参照すると、センスアンプ部転送スイッチ信号生成回路230にはセンスアンプ部転送コントロール信号とセンスアンプ部転送タイミング信号とが供給されている。センスアンプ部転送コントロール信号は主としてセンスアンプ部転送スイッチ信号を主記憶部電源とするか又は主記憶部昇圧電源とするかを制御する信号であり、センスアンプ部転送タイミング信号は、転送のタイミングを制御する信号である。これらの信号はセンスアンプ部制御回路138内で生成されるものである。

【0038】センスアンプ部転送コントロール信号によってフリップフロップ232の出力又はフリップフロップ234の出力をハイレベルとする。フリップフロップ232の出力には主記憶部昇圧電源が供給されているPMOSTランジスタ236が接続され、フリップフロップ234の出力には主記憶部電源が供給されているNMOSTランジスタ238が接続されており、PMOSTランジスタ236とNMOSTランジスタ238の出力はセンスアンプ部転送スイッチ信号線204に接続されている。

【0039】また、センスアンプ部転送タイミング信号はインバータ及びバッファ回路を介してNMOSTランジスタ240のベースに供給される。このNMOSTランジスタ240はセンスアンプ部転送スイッチ信号線204へ接続されているとともに接地されている。つまり、NMOSTランジスタ240はセンスアンプ部転送

タイミング信号に基づいて、センスアンプ部転送スイッチ信号線204を活性としたり非活性とする。センスアンプ部転送スイッチ信号線204が非活性の場合にはNMOSTランジスタ218、220によって構成される接続回路は断状態となるのでデータ転送は行われない。

【0040】〔副記憶メモリセル行180〕図7は、副記憶メモリセル行180の内部構成等を示す図であり、図1又は図2に示された部材と同一部材については同一の符号を付してある。図7に示されたように、副記憶メモリセル行180は複数のメモリセル182を有する。各々のメモリセル182はフリップフロップ回路が設けられている。このフリップフロップ回路はPMOSTランジスタ256、258及びNMOSTランジスタ260、262で構成される。

【0041】また、データ転送バス線対176からの信号の取り込み及びデータ転送バス線対176への信号の送出を行う接続回路は、NMOSTランジスタ264a、264bによって構成される。また、フリップフロップ回路及び接続回路と並列にリードライト用スイッチ回路266が接続されている。このリードライト用スイッチ回路266はフリップフロップ回路に保持されたデータを入出力線対270に出力したり、データ入出力線対270上に現れたデータをフリップフロップ回路に取り込むための回路である。このリードライト用スイッチ回路266には副記憶行選択線274とリードライト用副記憶行選択線272が接続され、これらの線を介して入力される制御信号に基づいて上記のデータ入出力制御を行う。

【0042】各メモリセル182はデータ転送用副記憶行選択線250、副記憶メモリセル行コントロール線252、及び副記憶メモリセル行コントロール線254によって副記憶部制御回路142と接続されている。上記データ転送用副記憶行選択線250は、フリップフロップ回路に保持された信号をデータ転送バス線対176へ出力するか否か、又はデータ転送バス線対176を介して転送されてきた信号をフリップフロップ回路内部に取り込むか否かを制御する制御信号を伝達するものである。

【0043】副記憶メモリセル行コントロール線252は、フリップフロップ回路において記憶内容の保持、消去等を制御する制御信号を副記憶部制御回路142から、PMOSTランジスタ256、258からなるフリップフロップへ伝達するものである。また、副記憶メモリセル行コントロール線254は、フリップフロップ回路において記憶内容の保持、消去等を制御する制御信号を副記憶部制御回路142から、NMOSTランジスタ260、262からなるフリップフロップへ伝達するものである。

【0044】次に、副記憶部制御回路142の内部構成の一部について説明する。図8は、副記憶部制御回路1

42内に設けられたデータ転送用副記憶行選択線生成回路280の構成を示す図である。このデータ転送用副記憶行選択線生成回路280は、PMOSトランジスタ256、258及びNMOSトランジスタ260、262からなるフリップフロップ回路に保持された信号をデータ転送バス線対176へ出力するか否か、又はデータ転送バス線対176を介して転送されてきた信号をメモリセル182内に取り込むか否かを制御するとともにメモリセル182へ供給する電源を制御するものである。

【0045】副記憶部102は通常主記憶部101よりも高速に動作させる必要があるために主記憶部101に供給される電源電圧、つまり主記憶部電源電圧よりも高い電圧を供給しているため副記憶メモリセル120から主記憶部101のセンスアンプ回路174にデータを転送する場合、データ転送用副記憶行選択線250上に主記憶部昇圧電源のレベルを与えるとデータ転送バス線対176の電圧レベルが主記憶部電源のレベルより高い電圧に充電されてしまうおそれがある。

【0046】図8に示したデータ転送用副記憶行選択線生成回路280は、上記の問題点を解消するために副記憶メモリセル120から主記憶部101のセンスアンプ回路174にデータを転送する場合と、主記憶部101のセンスアンプ回路174から副記憶メモリセル120にデータを取り込む場合とで、副記憶部制御回路142からデータ転送用副記憶行選択線250を介してNMOSトランジスタ264a、264bによって構成される接続回路へ供給されるデータ転送用副記憶行選択信号を主記憶部101の電源として用いられる主記憶部電源とするか又は主記憶部昇圧電源とするかを制御する回路である。

【0047】図8を参照すると、データ転送用副記憶行選択線生成回路280には副記憶部転送コントロール信号、副記憶行アドレス信号、及び副記憶部転送タイミング信号が供給されている。副記憶部転送コントロール信号は主としてデータ転送用副記憶行選択信号を主記憶部電源とするか又は主記憶部昇圧電源とするかを制御する信号であり、副記憶行アドレス信号及び副記憶部転送タイミング信号は、転送のタイミングを制御する信号である。これらの信号は副記憶部制御回路142内で生成されるものである。

【0048】副記憶部転送コントロール信号によってフリップフロップ282の出力又はフリップフロップ284の出力をハイレベルとする。フリップフロップ282の出力には主記憶部昇圧電源が供給されているPMOSトランジスタ286が接続され、フリップフロップ284の出力には主記憶部電源が供給されているNMOSトランジスタ288が接続されており、PMOSトランジスタ286とNMOSトランジスタ288の出力はデータ転送用副記憶行選択線250に接続されている。

【0049】また、副記憶行アドレス信号と副記憶部転

送タイミング信号とのNAND演算を行った信号はバッファ回路を介してNMOSトランジスタ290のベースに供給される。このNMOSトランジスタ290はデータ転送用副記憶行選択線250に接続されているとともに接地されている。つまり、NMOSトランジスタ290は上記NAND演算が行われた信号に基づいて、データ転送用副記憶行選択線250を活性としたり非活性とする。データ転送用副記憶行選択線250が非活性の場合にはNMOSトランジスタ264a、264bによって構成される接続回路は断状態となるのでデータ転送は行われない。

#### 【0050】(4) 動作

次に、上記構成における本発明の第1実施形態による半導体集積回路装置の動作について説明する。

〔主記憶部101から副記憶部102へのデータ転送〕

図9は、本発明の第1実施形態による半導体集積回路装置における主記憶部101から副記憶部102へデータ転送を行う際の動作を示すタイミングチャートである。尚、図9中においては、主記憶部電源のレベルをV1、主記憶部昇圧電源のレベルをV1'、中間電位のレベルを1/2V1、データ転送バス線のプリチャージレベルをVP、副記憶部電源レベルをV2、及び接地レベルを0としてそれぞれ表している。

【0051】図9では、図1～図7に示された各信号線上传わる信号を図示している。まず、アクティブコマンド(AC T)がコマンドデコーダ132に入力されたとすると、センスアンプ部制御回路138がディジット線バランスプリチャージ信号線202をローレベルとする。この信号線がローレベルとなると、ディジット線バランスプリチャージ回路200が非動作状態となる。次に、主記憶行デコーダ112によって主記憶部101内に設けられた主記憶メモリセル110のある行が活性化され、図9に示したようにワード線172が主記憶部昇圧電源のレベルV1'に設定される。

【0052】ワード線172がハイレベルとなると、メモリセル173に記憶された信号がディジット線を介してディジット線バランスプリチャージ回路200に入力される。そして、センスアンプ部制御回路138はセンスアンプコントロール線208のレベルを主記憶部電源レベルV1に設定するとともに、センスアンプコントロール線210のレベルを接地レベル0に設定する。

【0053】センスアンプコントロール線208のレベルが主記憶部電源レベルV1に設定され、且つセンスアンプコントロール線210のレベルが接地レベル0に設定されると、センスアンプ内接点対217間の電位差は大となり、ディジット線対170間の電位差も徐々に大となる。この状態で転送コマンド(PFC)が入力されると、センスアンプ部制御回路138がセンスアンプ部転送スイッチ信号204の電圧レベルを主記憶部電源レベルV1に設定し、NMOSトランジスタ218、22

0 がオン状態となり、センスアンプ内接点対 217 に保持されていた信号がデータ転送バス線対 176 に出力される。ここで、注目すべきことは、センスアンプ部転送スイッチ信号線 204 の電圧レベルが主記憶電源レベル V1 に設定されていることである。

【0054】これは、前述のように、センスアンプ回路 174 からデータ転送バス線対 176 にデータを転送する場合にセンスアンプ部転送スイッチ信号として主記憶部昇圧電源を与えるとデータ転送バス線対 176 の方がセンスアンプ回路 174 内のハイ側接点レベルより低く設定しているためデータ転送バス線対 176 のレベルに引かれてセンスアンプ回路 174 内のハイ側接点レベルが低下し、センスアンプ回路 274 からデータ転送バス線対 176 へのデータ転送能力が低下してしまうのを防止するためである。

【0055】センスアンプ制御回路 138 がセンスアンプ部転送スイッチ信号線 204 の電圧レベルを主記憶電源レベル V1 に設定すると同時に、データ転送バス線制御回路 140 はデータ転送バス線制御信号線 190 のレベルをローレベルとしてデータ転送バス線プリチャージ回路 152 を非動作状態とする。センスアンプ回路 174 からデータ転送バス線対 176 へ出力された信号は副記憶メモリセル 182 へ入力される。

【0056】また、上記センスアンプ制御回路 138 がセンスアンプ部転送スイッチ信号線 204 の電圧レベルを主記憶電源レベル V1 に設定してから僅かに遅れて副記憶部制御回路 142 は副記憶メモリセル行コントロール線 252 を接地レベル 0 として PMOS トランジスタ 256、258 からなるフリップフロップを非動作状態にするとともに副記憶メモリセル行コントロール線 254 を副記憶部電源レベル V2 として NMOS トランジスタ 260、262 からなるフリップフロップを非動作状態にする。

【0057】副記憶部制御回路 142 が副記憶メモリセル行コントロール線 252 を接地レベル 0 にし、且つ副記憶メモリセル行コントロール線 254 を副記憶部電源レベル V2 にしてから僅かに遅れてデータ転送用副記憶行選択線を主記憶部昇圧電源のレベル V1' に設定して NMOS トランジスタ 264a、264b からなる接続回路を開状態とし、データ転送バス線対 176 上の信号をメモリセル 182 内に取り込む。ここで、主記憶部 101 から転送されてきたデータを取り込む際にデータ転送用副記憶行選択線を主記憶部昇圧電源のレベル V1' とするのはデータ転送バス線のレベルに対してデータをメモリセル 182 内に取り込むための NMOS トランジスタ 264a、264b のゲート電極に対して適当な昇圧レベルを得るためである。

【0058】また、データを取り込む場合、データ転送バス線 176 は主記憶部 101 の電源電圧以下の微少差電位のため、メモリセル 182 内のトランジスタ 25

6、258、260、262 が完全にオフする状態にして取り込み、その後で増幅する必要がある。本実施形態においては、メモリセル 182 内に設けられたトランジスタ 256、258、260、262 のソース電圧を制御する副記憶メモリセル行コントロール線 252、254 の電位を図 9 に示したように、それぞれ接地電位 0 及び副記憶部電源レベル V2 にすることにより非導通状態としてからデータ転送バス線対 176 上の信号を取り込むようにしている。メモリセル 182 内に取り込まれたデータは副記憶行コントロール信号線 252、254 のレベルをそれぞれ副記憶部電源レベル V2、接地レベル 0 にすることで保持される。

【0059】以上の動作によって転送動作が終了する。転送終了後データ転送バス線制御信号線 190 のレベルは主記憶部昇圧電源のレベル V1' となりデータ転送バス線がプリチャージされる。続いてプリチャージコマンド (PRE) が入力されるとワード線 172 がローレベルに設定され、センスアンプコントロール線 208、210 が中間電位  $1/2 V1$  に設定され、ディジット線バランスプリチャージ信号線 202 がハイレベルとなる。尚、ここで注目すべきことは、転送動作が完了し、非転送状態となるとデータ転送バス線対 176 は主記憶部の電源電圧以下の中間電位にプリチャージされる点で、このような値に設定することによりデータ転送用副記憶行選択線の昇圧レベルを緩和することができる。

【0060】〔副記憶部 102 から主記憶部 101 へのデータ転送〕図 10 は、本発明の第 1 実施形態による半導体集積回路装置における副記憶部 102 から主記憶部 101 へデータ転送を行う際の動作を示すタイミングチャートである。尚、図 10 中においては、図 9 と同様に主記憶部電源のレベルを V1、主記憶部昇圧電源のレベルを V1'、中間電位のレベルを  $1/2 V1$ 、データ転送バス線のプリチャージレベルを VP、副記憶部電源レベルを V2、及び接地レベルを 0 としてそれぞれ表している。

【0061】図 10 では、図 1～図 7 に示された各信号線上を伝わる信号を図示している。まず、RST、ACT の連続コマンドによる転送命令がコマンドデコード 132 に入力されたとすると、データ転送バス線制御回路 140 がデータバス線制御信号線 190 のレベルを主記憶部昇圧電源のレベル V1' からローレベルに設定し、プリチャージ回路 178 を非動作状態とする。続いて副記憶部制御回路 142 がデータ転送用副記憶行選択線 250 を主記憶電源レベル V1 とする。

【0062】ここで、副記憶部制御回路 142 がデータ転送用副記憶行選択線 250 を主記憶電源レベル V1 とするのは、副記憶部 102 に供給される電源電圧が高速動作の要求から主記憶部 101 の電源電圧よりも高い電圧であるため副記憶メモリセル 120 から主記憶部 101 のセンスアンプ回路 174 にデータを転送する場合、

データ転送用副記憶行選択線250上に主記憶部昇圧電源のレベルを与えるとデータ転送バス線対176の電圧レベルが主記憶部電源のレベルより高い電圧に充電されてしまうおそれがあるのを防止するためである。

【0063】データ転送用副記憶行選択線250が主記憶電源レベルV1に設定されると、接続回路を構成するNMOSトランジスタ264a、264bがオン状態となりPMOSトランジスタ256、258及びNMOSトランジスタ260、262からなるフリップフロップ回路に記憶されている信号がデータ転送バス線対176へ出力される。

【0064】続いて、センスアンプ部制御回路138がディジット線バランスプリチャージ信号線202のレベルをローレベルとし、ディジット線バランスプリチャージ回路200を非動作状態とする。また、センスアンプ部制御回路138はセンスアンプコントロール線208のレベルを中間電位1/2V1から接地レベル0に設定するとともに、センスアンプコントロール線210のレベルを中間電位1/2V1から主記憶電源レベルV1に設定する。

【0065】センスアンプコントロール線208のレベルが接地レベル0に設定され、且つセンスアンプコントロール線210のレベルが主記憶電源レベルV1に設定されると、主記憶デコード112はワード線172のレベルを主記憶部昇圧電源レベルV1'に設定する。そして、センスアンプ部制御回路138はセンスアンプ部転送スイッチ信号線204のレベルを主記憶部昇圧電源レベルV1'に設定してNMOSトランジスタ218、220からなる接続回路を開状態にしてデータ転送バス線対176からデータをセンスアンプ回路174内に取り込む。

【0066】ここで、センスアンプ部転送スイッチ信号線204のレベルを主記憶部昇圧電源レベルV1'とするのはデータ転送バス線のレベルに対してデータをセンスアンプ回路174内に取り込むためのNMOSトランジスタ218、220のゲート電極に対して適当な昇圧レベルを与える必要があるからである。尚、本実施形態においては、センスアンプ回路174内に設けられたトランジスタ210、212、214、216のソース電圧を制御するセンスアンプコントロール線208、210の電位を制御してこれらを非導通状態としてからデータ転送バス線対176上の信号を取り込むようにしている。

【0067】センスアンプ回路174がデータを取り込むと副記憶部制御回路142はデータ転送用副記憶行選択線250のレベルをローレベルとして、データ転送バス線対176とメモリセル182内部のフリップフロップ回路とを電気的に遮断する。その後、センスアンプ部制御回路138はセンスアンプコントロール線208のレベルを主記憶電源レベルV1に設定し、センスアンプ

コントロール線210のレベルをローレベルに設定する。そして、センスアンプ部制御回路138がセンスアンプ部転送スイッチ信号線204のレベルをローレベルとしてセンスアンプ回路174をデータ転送バス線対176から電気的に遮断する。次に、データ転送バス線制御回路140がデータ転送バス線制御信号線190のレベルを主記憶部昇圧電源レベルV1'に設定する。以上の動作によって転送動作が終了する。

【0068】この状態で、センスアンプ回路174に取り込まれた信号はPMOSトランジスタ210、212からなるフリップフロップ及びNMOSトランジスタ214、216からなるフリップフロップによって増幅され、図10に示したように、センスアンプ内接点対217間の電位差は大となり、ディジット線対170間の電位差も徐々に大となる。ディジット線対170のデータは主記憶メモリセル110に取り込まれる。続いてプリチャージコマンド(PRE)が入力されると主記憶行デコード112がワード線172をローレベルにするとともに、センスアンプ部制御回路138がセンスアンプコントロール線208のレベル及びセンスアンプコントロール線210のレベルを中間電位中間電位レベル1/2V1に設定する。センスアンプ部制御回路138はディジット線バランスプリチャージ信号線202をハイレベルとしてディジット線バランスプリチャージ回路200を動作状態とすると転送動作が完了する。

【0069】〔主記憶部101から副記憶部102へのデータ転送の高速化〕図9を参照して説明した主記憶部101から副記憶部102へのデータ転送においては、ディジット線増幅動作期間とデータ転送動作期間とが重複しているため、データ転送が遅れがちである。次に、主記憶部101から副記憶部102へのデータ転送の高速化を図った本発明の第1実施形態による半導体集積回路装置の動作について説明する。

【0070】図11は、本発明の第1実施形態による半導体集積回路装置における主記憶部101から副記憶部102へデータ転送の高速化を図った場合の動作を示すタイミングチャートである。尚、図11中においては、主記憶部電源のレベルをV1、主記憶部昇圧電源のレベルをV1'、中間電位のレベルを1/2V1、データ転送バス線のプリチャージレベルをVP、副記憶部電源レベルをV2、及び接地レベルを0としてそれぞれ表している。

【0071】図11では、図1～図7に示された各信号線上を伝わる信号を図示している。まず、アクティブコマンド(ACT)がコマンドデコード132に入力されたとすると、センスアンプ部制御回路138がディジット線バランスプリチャージ信号線202をローレベルとする。この信号線がローレベルとなると、ディジット線バランスプリチャージ回路200が非動作状態となる。次に、主記憶行デコード112によって主記憶部101

内に設けられた主記憶メモリセル 110 のある行が活性化され、図 9 に示したようにワード線 172 が主記憶部昇圧電源のレベル V1' に設定される。

【0072】ワード線 172 がハイレベルとなるとメモリセル 173 に記憶された信号がディジット線に読み出される。そして、センスアンプ制御回路 138 はセンスアンプコントロール線 208 のレベルを主記憶部電源レベル V1 に設定するとともに、センスアンプコントロール線 210 のレベルを接地レベル 0 に設定する。ここで、注意すべきことは、センスアンプコントロール線 208 のレベルが主記憶部電源レベル V1 に設定され、且つセンスアンプコントロール線 210 のレベルが接地レベル 0 に設定されると、センスアンプ制御回路 138 はディジット線トランスファースイッチ信号線 206 のレベルをローレベルとし、NMOS トランジスタ 222, 224 をオフ状態にし、センスアンプ回路 174 をディジット線対 170 から電気的に切り離す動作を行う。

【0073】センスアンプコントロール線 208 のレベルが主記憶部電源レベル V1 に設定され、且つセンスアンプコントロール線 210 のレベルが接地レベル 0 に設定されると、センスアンプ内接点対 217 間の電位差は大となり、ディジット線対 170 間の電位差も徐々に大となる。このとき、センスアンプ回路 174 がディジット線対 170 から電気的に切り離されているので、ディジット線対 170 の増幅は行われないため接地電源線のインピーダンスに対する負荷が図 9 に示した場合より小さくなるため、より早くデータ転送バス線対 176 からの放電が行われ、必要な差電圧が得られるまでの時間が短縮される。

【0074】転送コマンド (PFC) が入力され、センスアンプ制御回路 138 がセンスアンプ部転送スイッチ信号線 204 の電圧レベルを主記憶部電源レベル V1 に設定すると NMOS トランジスタ 218, 220 がオン状態となり、センスアンプ内接点対 217 に保持されていた信号がデータ転送バス線対 176 に出力される。ここで、注目すべきことは、センスアンプ部転送スイッチ信号線 204 の電圧レベルが主記憶部電源レベル V1 に設定されていることである。

【0075】これは、前述のように、センスアンプ回路 174 からデータ転送バス線対 176 にデータを転送する場合にセンスアンプ部転送スイッチ信号として主記憶部昇圧電源を与えるとデータ転送バス線対 176 の方がセンスアンプ回路 174 内のハイ側接点レベルより低く設定しているためデータ転送バス線対 176 のレベルに引かれてセンスアンプ回路 174 内のハイ側接点レベルが低下し、センスアンプ回路 274 からデータ転送バス線対 176 へのデータ転送能力が低下してしまうのを防止するためである。

【0076】センスアンプ制御回路 138 がセンスアンプ

部転送スイッチ信号線 204 の電圧レベルを主記憶部電源レベル V1 に設定すると同時に、データ転送バス線制御回路 140 はデータ転送バス線制御信号線 190 のレベルをローレベルとしてデータ転送バス線プリチャージ回路 152 を非動作状態とする。センスアンプ回路 174 からデータ転送バス線対 176 へ出力された信号はメモリセル 182 へ入力される。

【0077】また、上記センスアンプ制御回路 138 がセンスアンプ部転送スイッチ信号線 204 の電圧レベルを主記憶部電源レベル V1 に設定してから僅かに遅れて副記憶部制御回路 142 は副記憶メモリセル行コントロール線 252 を接地レベル 0 として PMOS トランジスタ 256, 258 からなるフリップフロップを非動作状態にするとともに副記憶メモリセル行コントロール線 254 を副記憶部電源レベル V2 として NMOS トランジスタ 260, 262 からなるフリップフロップを非動作状態にする。

【0078】副記憶部制御回路 142 が副記憶メモリセル行コントロール線 252 を接地レベル 0 にし、且つ副記憶メモリセル行コントロール線 254 を副記憶部電源レベル V2 にしてから僅かに遅れてデータ転送用副記憶行選択線を主記憶部昇圧電源のレベル V1' に設定して NMOS トランジスタ 264a, 264b からなる接続回路を開状態とし、データ転送バス線対 176 上の信号をメモリセル 182 内に取り込む。ここで、主記憶部 101 から転送されてきたデータを取り込む際にデータ転送用副記憶行選択線を主記憶部昇圧電源のレベル V1' とするのはデータ転送バス線のレベルに対してデータをメモリセル 182 内に取り込むための NMOS トランジスタ 264a, 264b のゲート電極に対して適当な昇圧レベルを得るためである。

【0079】また、データを取り込む場合、データ転送バス線 176 は主記憶部 101 の電源電圧以下の微少差電位のため、メモリセル 182 内のトランジスタ 256, 258, 260, 262 が完全にオフする状態にして取り込み、その後で増幅する必要がある。本実施形態においては、メモリセル 182 内に設けられたトランジスタ 256, 258, 260, 262 のソース電圧を制御する副記憶メモリセル行コントロール線 252, 254 の電位を図 9 に示したように、それぞれ接地電位 0 及び副記憶部電源レベル V2 にすることにより非導通状態としてからデータ転送バス線対 176 上の信号を取り込むようにしている。メモリセル 182 内に取り込まれたデータは副記憶行コントロール信号線 252, 254 のレベルをそれぞれ副記憶部電源レベル V2、接地レベル 0 にすることで保持される。

【0080】以上の動作によって転送動作が終了する。転送動作が終了するとセンスアンプ制御回路 138 はセンスアンプ部転送スイッチ信号線 204 をローレベルにするとともに、ディジット線トランスファースイッチ

信号 206 をハイレベルとしディジット線対 170 の増幅動作を行う。続いて、プリチャージコマンド (PRE) が入力されるとワード線 172 がローレベルに設定され、センスアンプコントロール線 208、210 が中間電位  $1/2V_1$  に設定され、ディジット線バランスポリチャージ信号線 202 がハイレベルとなると転送動作が完了する。尚、複数セグメントを有する場合には、すべてのセグメントに属するディジット線対の増幅動作を転送動作の終了後に行うようにしてもよい。

【0081】以上、図 2 に示した簡略化したモデル図に基づいて、本発明の第 1 実施形態による半導体集積回路装置について説明した。上記の実施形態はあくまでも理解を容易にするためのものであり、本発明は上記実施形態に制限されない。

【0082】例えば、図 12 に示す動作も可能である。図 12 は、本発明の第 1 実施形態による半導体集積回路装置における主記憶部 101 から副記憶部 102 へデータ転送の他の動作例を示すタイミングチャートである。図 12 に示したタイミングチャートと図 11 に示したタイミングチャートが異なる主な点は、図 12 において転送コマンド (PFC) が入力された場合にディジット線トランスファースイッチ信号線 206 のレベルをローレベルとしてディジット線対 170 の増幅動作を一時中断してデータ転送を行うようにした点である。転送動作を終了した後にディジット線トランスファースイッチ信号線 206 のレベルをハイレベルとしてディジット線対 170 の増幅動作を行う点については図 11 と同様である。

【0083】図 11 に示したタイミングチャートでは、アクティブコマンド (ACT) が入力されてからセンスアンプ活性化を含む一連の動作中にディジット線トランスファースイッチ信号線 206 をローレベルにしてセンスアンプ内接点対 217 をある程度のレベルまで増幅する。この状態で転送コマンド (PFC) が入力されると転送動作が開始する。そして、転送動作が終了した後に再びディジット線トランスファースイッチ信号線 206 のレベルをハイレベルとしてディジット線対 170 の増幅を行っている。かかる動作を行う場合には転送コマンド (PFC) が入力されるまで、ディジット線対 170 がセンスアンプ回路 174 から電気的に切り離された状態のまま転送動作が終了するまで待っている状態となるので、転送コマンド (PFC) が入力するタイミングが遅い場合には、アクティブコマンド (ACT) が入力されてからプリチャージコマンド (PRE) が入力されるまでの時間に無駄が生ずる。

【0084】図 12 に示したタイミングチャートの動作を行った場合には、転送コマンド (PFC) が入力されるタイミングによってはデータ転送動作を開始する前にディジット線対 170 の増幅動作を行うことができる場合があるので、転送コマンド (PFC) が入力するタイミングが遅い場合には、アクティブコマンド (ACT)

が入力されてからプリチャージコマンド (PRE) が入力されるまでの時間をより有効に用いることができる。

【0085】また、図 13 に示す動作も可能である。図 13 は、本発明の第 1 実施形態による半導体集積回路装置における主記憶部 101 から副記憶部 102 へデータ転送の他の動作例を示すタイミングチャートである。図 13 に示したタイミングチャートと図 11 に示したタイミングチャートはほぼ同様であるが、図 13 に示したタイミングチャートにおいては、動作開始命令たるアクティブコマンド (ACT) と転送動作命令たる転送コマンド (PFC) とを 1 コマンドとしている。アクティブコマンド (ACT) と転送コマンド (PFC) とを 1 コマンドとすることで、アクティブコマンド (ACT) が入力されてからデータ転送動作が終了するまでを内部的に最適なタイミングに設定して動作させることができるためより有効に時間を使うことができ、その結果動作周波数 (CLK の周波数) を上げた場合に極めて好適である。

【0086】〈第 2 実施形態〉本発明の第 2 実施形態による半導体集積回路装置の基本構成及びそのブロック図は図 1 に示した第 1 実施形態による半導体集積回路の基本構成及びそのブロック図と基本的には同一である。本発明の第 2 実施形態による半導体集積回路が本発明の第 1 実施形態による半導体集積回路と異なる点は、主記憶部 101 の行が複数の行に分割されている点である。以下、主記憶部 101 が複数の行に分割された構成を複数のセグメントに分割された構成と称する。

【0087】(1) モデル図

次に、本発明の第 2 実施形態において、主記憶メモリセル 110 と副記憶メモリセル 120 との間で行われるデータ転送について説明する。図 14 は、図 1 中の主記憶メモリセル 110 と副記憶メモリセル 120 との第 2 実施形態による接続関係を簡略化して示した図である。尚、図 14 では副記憶部 102 のメモリセル列と 1 つに対して、主記憶部 101 のセンスアンプ回路 2 つを対応させている。しかし、本発明は図 14 に示した構成に限定される訳ではなく、例えば主記憶部 101 の隣接する複数台のセンスアンプ回路に対して 1 つの副記憶部メモリセル列が対応している構成 (複数セグメント) であっても良い。

【0088】本実施形態において、複数セグメントに分割する理由は、データ転送バス線 150 を主記憶センスアンプ回路 300 内の各々のセンスアンプ回路に対応させて設けると、メモリセルアレイ上のデータ転送バス線 150 のレイアウトピッチが狭くなり、製造が困難となるため、データ転送バス線 150 の配線ピッチを緩和するためである。セグメントの数は 2 又は 4 が好ましい。セグメントに分割することにより、例えば、主記憶メモリセル 110 の規模が増大した場合、例えば 2 倍、4 倍に増大した場合でも、セグメントの分割数を 2 又は 4 に増大するだけでよい。すなわち、データ転送バス線対 17

6の対の数、データ転送バス線プリチャージ回路152、及び副記憶メモリセル120の規模を大きくする必要がない。

【0089】以下、図14に示したモデル図について詳細に説明する。図14において、110は主記憶メモリセルであり、ディジット線対170a、170bと主記憶行デコーダ112に接続されたワード線172とが複数交差して配置されており、その交点にはメモリセル173a、173bが形成されている。尚、図14に示された主記憶メモリセル110と図2に示された主記憶メモリセル110とを比較すると、メモリセル及びディジット線に付されている符号が異なる。これは、メモリセル及びディジット線が異なるセグメントに属するという説明を行う便宜のためであり、構成自体が異なる訳ではない。ただし、データ転送バス線150の本数が図2の場合と同様ならば図14中の主記憶メモリセル110の規模は、図2に示した主記憶メモリセルの2倍となっている。本実施形態においては、セグメントの分割数が2である場合を例に挙げて説明する。

【0090】ディジット線対170a、170bは主記憶センスアンプ回路300内のセンスアンプ回路174a、174bにそれぞれ接続されている。尚、図14に示した主記憶センスアンプ回路300は基本的な構成においては、図2に示した主記憶センスアンプ回路114と同一であるが、センスアンプ回路174aとセンスアンプ回路174bとが複数のセグメントに分割され、同一のデータ転送バス線対176に接続されている点において異なる。

【0091】センスアンプ回路174a、174bは主記憶メモリセル110内のディジット線対170a、170bに対応して複数設けられている。尚、ディジット線170a、170b、メモリセル173a、173b、及びセンスアンプ回路174a、174bを符号“a”、“b”を用いて区別しているが、これは、各々が異なるセグメント（本実施形態においては2つのセグメント構成を例として挙げている）に属することを意味し、各々の構成が変わることを意味しない。尚、図14において、詳細な図示は省略しているが、隣接するセンスアンプ回路は異なるセグメントに属している。

【0092】データ転送バス線プリチャージ回路152内には各データ転送バス線対176に対応してプリチャージ回路152が設けられている。このプリチャージ回路178もデータ転送バス線対176の数だけ設けられている。副記憶メモリセル120は、図14に示したように、複数の副記憶メモリセル行180からなり、各々の副記憶メモリセル行180にはデータ転送バス線対176に対応してメモリセル182が設けられている。尚、上述したように、図14はあくまでも本実施形態の理解を容易にするために簡略化して記載した図であることに留意すべきである。尚、図14に示したデータ転送

バス線プリチャージ回路152及び副記憶メモリセル行180の内部構成については、第1実施形態と同様であるので説明を省略する。また、本実施形態においても、図1に示したデータ転送バス線プリチャージ電源回路154が設けられている。

【0093】次に、図14に示した主記憶センスアンプ回路300の内部構成について詳細に説明する。

〔主記憶センスアンプ回路300〕図15は、主記憶センスアンプ回路300の構成等を示す図であり、図1又は図14に示された部材と同一部材については同一の符号を付してある。尚、図5に示した第1実施形態の主記憶センスアンプ回路114では、ディジット線バランスプリチャージ回路200をセンスアンプ回路174外の構成として説明しているが、本実施形態では、ディジット線バランスプリチャージ回路がセンスアンプ回路内に設けられている場合について説明する。図15に示されたように、ディジット線対170aにはセンスアンプ回路174aが設けられ、ディジット線対170bにはセンスアンプ回路174bが設けられている。ディジット線対170a及びセンスアンプ回路174aとディジット線対170b及びセンスアンプ回路174bとは、異なるセグメントに属する。

【0094】センスアンプ回路174a、174bには、NMOSTランジスタ310、312、314からなるディジット線バランスプリチャージ回路及びフリップフロップ回路が設けられている。このフリップフロップ回路はPMOSTランジスタ210、212及びNMOSTランジスタ214、216で構成される。更に、センスアンプ回路174a、174bには、ディジット線対170a及びデータ転送バス線対176、ディジット線対170b及びデータ転送バス線対176をそれぞれ接続する接続回路が設けられている。この接続回路は、NMOSTランジスタ218、220によって構成される。ディジット線対170a、170b各々に設けられたNMOSTランジスタ222、224はセンスアンプ回路174a、174bをディジット線対170a、170bそれぞれから切り離すために設けられるスイッチ用のランジスタである。

【0095】また、センスアンプ部制御回路302は、図5中のセンスアンプ部制御回路138に相当する部材であるが、本実施形態においては2つのセグメントに分割しているため動作が異なる。図15中のセンスアンプ部制御回路302と図5中のセンスアンプ部制御回路138との主な相違点は、データ転送時において、センスアンプ回路174aが属するセグメント（以下、第1セグメントと称する）又はセンスアンプ回路174bが属するセグメント（以下、第2セグメントと称する）の何れか一方のセグメント内のセンスアンプ回路をデータ転送バス線対176にデータ転送可能なように接続する点である。つまり、データ転送を行う際には、第1セグ



ント内のセンスアンプ回路と第2セグメント内のセンスアンプ回路とが同時にデータ転送バス線対176に接続されることはない。

【0096】センスアンプ部制御回路302には、センスアンプ回路174a、174b内に設けられたディジット線バランスプリチャージ回路各々が接続されたディジット線バランスプリチャージ信号線202a、202bが接続されている他、ディジット線トランスファースイッチ信号線206、センスアンプ部転送スイッチ信号線204a、204b、センスアンプコントロール線208a、208b、センスアンプコントロール線210a、210bが接続されている。

【0097】上記ディジット線バランスプリチャージ信号線202a、202bは、ディジット線バランスプリチャージ回路におけるプリチャージレベルを制御する制御信号をセンスアンプ部制御回路302からディジット線バランスプリチャージ回路へ伝達するものであり、ディジット線トランスファースイッチ信号線206は、センスアンプ回路174a、174bをディジット線対170a、170b各々から切り離すか又は接続するかを制御する制御信号をNMOSTランジスタ222、224へ伝達するためのものである。

【0098】また、センスアンプ部転送スイッチ信号線204a、204bは、センスアンプ回路174a、174bにそれぞれ取り込まれ、センスアンプ内接点対217によってセンスアンプされた信号をデータ転送バス線対176に出力するか否か、又はデータ転送バス線対176を介して転送される信号をセンスアンプ回路174内部に取り込むか否かを制御する制御信号を伝達するものである。

【0099】本実施形態における半導体集積回路装置は、データ転送に関し、一度のデータ転送で1024ビットの単位で行われる。この場合、低消費電力を図るために信号のレベルを抑え、主記憶部101に供給される電源電圧の10%以下程度としている。このように、信号のレベルが低い場合、例えば図14に示すセンスアンプ回路174a、174bに信号を取り込む際、データバス転送バス線の初期電位を主記憶部101の電源電圧とすると、センスアンプ部制御回路302からセンスアンプ部転送スイッチ信号線204a、204bを介してNMOSTランジスタ218、220によって構成される接続回路へ供給されるセンスアンプ部転送スイッチ信号のレベルはより高い電圧に設定する必要がある。従って、昇圧レベルを緩和するために、データ転送バス線対176の非転送時のプリチャージレベルを主記憶部の電源電圧以下の中間電位としている。中間電位としては例えば主記憶部の電源電圧の半分の値が用いられる。

【0100】また、この中間電位は図4に示したデータ転送バス線プリチャージ電源回路154へデータ転送バス線レベル基準電位を与えることによって生成されてお

り、独立した電源から上記中間電位が生成されるので、他の回路素子の動作による電源電圧の変動雑音がデータ転送バス線対176に影響を及ぼさないようにしている。

【0101】また、センスアンプコントロール線208a、208bは、PMOSTランジスタ210、212からなるフリップフロップの増幅率を制御する制御信号を伝達するものであり、センスアンプコントロール線210a、210bは、NMOSTランジスタ214、216からなるフリップフロップの増幅率を制御する制御信号を伝達するものである。

【0102】尚、上述したように、本実施形態においては、センスアンプ回路174aに対してセンスアンプコントロール線208a、210a及びディジット線バランスプリチャージ信号線202aを設け、センスアンプ回路174bに対してセンスアンプコントロール線208b、210b及びディジット線バランスプリチャージ信号線202bを設け、第1セグメントに属するセンスアンプ回路174aと第2セグメントに属するセンスアンプ回路174bとを別個に制御している。これは、上述したように、異なるセグメントに属するセンスアンプ回路をデータ転送バス線対176に同時に接続しないよう制御する必要があるためである。また、これ以外の理由として、特に副記憶部102から主記憶部101へデータを転送する時には、非転送状態となっているセグメントに属するセンスアンプ回路は主記憶メモリセル内のメモリセルに記憶されている信号を増幅する必要があり、転送状態となっているセグメントに属するセンスアンプ回路はデータ転送バス線によって転送されたデータを増幅する必要があるからである。

【0103】(2)動作

次に、上記構成における本発明の第2実施形態による半導体集積回路装置の動作について説明する。尚、主記憶部電源のレベルをV1、主記憶部昇圧電源のレベルをV1'、中間電位のレベルを1/2V1、データ転送バス線のプリチャージレベルをVP、副記憶部電源レベルをV2、及び接地レベルを0として説明する。

【0104】〔主記憶部101から副記憶部102へのデータ転送〕まず、アクティブコマンド(ACCT)がコマンドデコーダ132に入力されたとすると、センスアンプ部制御回路302がディジット線バランスプリチャージ信号線202a、202bをローレベルとする。ディジット線バランスプリチャージ信号線202a、202bを共にローレベルとするのは、メモリセル173a及びメモリセル173bの信号を共に増幅するためである。ただし、後述するように、データ転送の際にはセンスアンプ回路174a、174bの何れか一方のみがデータ転送バス線対176に接続される。ディジット線バランスプリチャージ信号線202a、202bがローレベルとなると、第1セグメントに属するセンスアンプ回

路内のディジット線バランスプリチャージ回路が非動作状態となる。次に、主記憶行デコード112によって主記憶部101内に設けられた主記憶メモリセル110のある行が活性化され、ワード線172が主記憶部昇圧電源のレベルV1'に設定される。

【0105】ワード線172がハイレベルとなると、メモリセル173aに記憶された信号がディジット線対170aを介してディジット線バランスプリチャージ回路に入力される。そして、センスアンプ制御回路302はセンスアンプコントロール線208aのレベルを主記憶部電源レベルV1に設定するとともに、センスアンプコントロール線210aのレベルを接地レベル0に設定する。

【0106】センスアンプコントロール線208aのレベルが主記憶部電源レベルV1に設定され、且つセンスアンプコントロール線210bのレベルが接地レベル0に設定されると、センスアンプ内接点対217間の電位差は大となり、ディジット線対170a間の電位差も徐々に大となる。この状態で転送コマンド(PFC)が入力されると、センスアンプ制御回路302がセンスアンプ部転送スイッチ信号204aの電圧レベルを主記憶部電源レベルV1に設定し、NMOSトランジスタ218、220がオン状態となり、センスアンプ内接点対217に保持されていた信号がデータ転送バス線対176に出力される。ここで、注目すべきことは、センスアンプ部転送スイッチ信号線204の電圧レベルが主記憶部電源レベルV1に設定されていることである。

【0107】これは、前述のように、センスアンプ回路174からデータ転送バス線対176にデータを転送する場合にセンスアンプ部転送スイッチ信号として主記憶部昇圧電源を与えるとデータ転送バス線対176の方がセンスアンプ回路174内のハイ側接点レベルより低く設定しているためデータ転送バス線対176のレベルに引かれてセンスアンプ回路174内のハイ側接点レベルが低下し、センスアンプ回路274からデータ転送バス線対176へのデータ転送能力が低下してしまうのを防止するためである。このようにして、第1セグメントに属するセンスアンプ回路がデータ転送バス線対176に接続され、データの転送が行われる。

【0108】センスアンプ制御回路302がセンスアンプ部転送スイッチ信号線204aの電圧レベルを主記憶部電源レベルV1に設定すると同時に、データ転送バス線制御回路140はデータ転送バス線制御信号線190のレベルをローレベルとしてデータ転送バス線プリチャージ回路152を非動作状態とする。センスアンプ回路174aからデータ転送バス線対176へ出力された信号は副記憶メモリセル182へ入力される。

【0109】また、上記センスアンプ制御回路302がセンスアンプ部転送スイッチ信号線204aの電圧レベルを主記憶部電源レベルV1に設定してから僅かに遅れて

副記憶部制御回路142は副記憶メモリセル行コントロール線252を接地レベル0としてPMOSトランジスタ256、258からなるフリップフロップを非動作状態にするとともに副記憶メモリセル行コントロール線254を副記憶部電源レベルV2としてNMOSトランジスタ260、262からなるフリップフロップを非動作状態にする。

【0110】副記憶部制御回路142が副記憶メモリセル行コントロール線252を接地レベル0にし、且つ副記憶メモリセル行コントロール線254を副記憶部電源レベルV2にしてから僅かに遅れてデータ転送用副記憶行選択線を主記憶部昇圧電源のレベルV1'に設定してNMOSトランジスタ264a、264bからなる接続回路を開状態とし、データ転送バス線対176上の信号をメモリセル182内に取り込む。ここで、主記憶部101から転送されてきたデータを取り込む際にデータ転送用副記憶行選択線を主記憶部昇圧電源のレベルV1'とするのはデータ転送バス線のレベルに対してデータをメモリセル182内に取り込むためのNMOSトランジスタ264a、264bのゲート電極に対して適当な昇圧レベルを得るためである。

【0111】また、データを取り込む場合、データ転送バス線176は主記憶部101の電源電圧以下の微小差電位のため、メモリセル182内のトランジスタ256、258、260、262が完全にオフする状態にして取り込み、その後で増幅する必要がある。本実施形態においては、メモリセル182内に設けられたトランジスタ256、258、260、262のソース電圧を制御する副記憶メモリセル行コントロール線252、254の電位を、それぞれ接地電位0及び副記憶部電源レベルV2にすることにより非導通状態としてからデータ転送バス線対176上の信号を取り込むようにしている。メモリセル182内に取り込まれたデータは副記憶行コントロール信号線252、254のレベルをそれぞれ副記憶部電源レベルV2、接地レベル0にすることで保持される。

【0112】以上の動作によって転送動作が終了する。転送終了後データ転送バス線制御信号線190のレベルは主記憶部昇圧電源のレベルV1'となりデータ転送バス線がプリチャージされる。続いてプリチャージコマンド(PRE)が入力されるとワード線172がローレベルに設定され、センスアンプコントロール線208、210が中間電位1/2V1に設定され、ディジット線バランスプリチャージ信号線202a、202bがハイレベルとなる。尚、ここで注目すべきことは、転送動作が完了し、非転送状態となるとデータ転送バス線対176は主記憶部の電源電圧以下の中間電位にプリチャージされる点で、このような値に設定することによりデータ転送用副記憶行選択線の昇圧レベルを緩和することができる。

【0113】続いて、主記憶部101から副記憶部102ヘデータを転送する場合には、センスアンプ部制御回路302がディジット線バランスプリチャージ信号線202b、センスアンプコントロール線208b、210b、センスアンプ部転送スイッチ信号線204bを介して第2セグメントに属するセンスアンプ回路に制御信号を出力して、第2セグメントに属するセンスアンプ回路のみをデータ転送バス線対176に接続することによって、以上説明した動作と同様の動作を行ってデータ転送を行う。

【0114】〔副記憶部102から主記憶部101へのデータ転送〕図16は、本発明の第2実施形態による半導体集積回路装置における副記憶部102から主記憶部101ヘデータ転送を行う際の動作を示すタイミングチャートである。尚、図16中においては、図9と同様に主記憶部電源のレベルをV1、主記憶部昇圧電源のレベルをV1'、中間電位のレベルを1/2V1、データ転送バス線のプリチャージレベルをVP、副記憶部電源レベルをV2、及び接地レベルを0としてそれぞれ表している。

【0115】図16では、図1、図14、図15に示された各信号線上を伝わる信号を図示している。まず、RST、ACTの連続コマンドによる転送命令がコマンドデコーダ132に入力されたとすると、データ転送バス線制御回路140がデータバス線制御信号線190のレベルを主記憶部昇圧電源のレベルV1'からローレベルに設定し、プリチャージ回路178を非動作状態とする。続いて副記憶部制御回路142がデータ転送用副記憶行選択線250を主記憶電源レベルV1とする。

【0116】ここで、副記憶部制御回路142がデータ転送用副記憶行選択線250を主記憶電源レベルV1とするのは、副記憶部102に供給される電源電圧が高速動作の要求から主記憶部101の電源電圧よりも高い電圧であるため副記憶メモリセル120から主記憶部101のセンスアンプ回路174にデータを転送する場合、データ転送用副記憶行選択線250上に主記憶部昇圧電源のレベルを与えるとデータ転送バス線対176の電圧レベルが主記憶部電源のレベルより高い電圧に充電されてしまうおそれがあるのを防止するためである。

【0117】データ転送用副記憶行選択線250が主記憶電源レベルV1に設定されると、接続回路を構成するNMOSTランジスタ264a、264bがオン状態となりPMOSTランジスタ256、258及びNMOSTランジスタ260、262からなるフリップフロップ回路に記憶されている信号がデータ転送バス線対176へ出力される。

【0118】続いて、センスアンプ部制御回路302がディジット線バランスプリチャージ信号線202bのレベルをローレベルとし、第2セグメントに属するセンスアンプ回路174b内のディジット線バランスプリチャ

ージ回路を非動作状態とする。一方、センスアンプ部制御回路302は、ディジット線バランスプリチャージ信号線202aのレベルをハイレベルに維持してバランスプリチャージを維持する。これは、転送状態にある第1セグメント内のセンスアンプ回路174aにおいては、メモリセル173aの信号を増幅しないため、また、逆に隣接する非転送状態にある第2セグメントに属するセンスアンプ回路174bからの雑音によってセンスアンプ内接点対に不必要な電位差が生じないようにするためである。次に、主記憶行デコーダ112がワード線172のレベルを主記憶部昇圧電源レベルV1'に設定する。

【0119】以上の設定が終了すると、センスアンプ部制御回路302は、ディジット線トランスファースイッチ信号線206のレベルをローレベルとし、ディジット線対170aと転送状態にある第1セグメントに属するセンスアンプ回路174aとを、ディジット線対170bと第2セグメントに属するセンスアンプ回路174bとをそれぞれ電気的に分離する。これは、データ転送バス線対176からみたセンスアンプ回路174aの負荷を、ディジット線対170aとセンスアンプ回路174aとを電気的に分離することで小さくしてデータの取り込み時間の短縮を図るためである。また、センスアンプ部制御回路302は、センスアンプ部コントロール線208aのレベルを中間電位1/2V1から接地レベル0に設定するとともに、センスアンプ部コントロール線210aのレベルを中間電位1/2V1から主記憶電源レベルV1に設定する。

【0120】更に、センスアンプ部制御回路302はセンスアンプ部コントロール線208bのレベルを中間電位1/2V1から主記憶電源レベルV1に設定するとともに、センスアンプ部コントロール線210bのレベルを中間電位1/2V1から接地レベル0に設定する。センスアンプ部制御回路302が、センスアンプ部コントロール線208bのレベルを主記憶電源レベルV1に設定するとともに、センスアンプ部コントロール線210bのレベルを接地レベル0に設定するのは、第2セグメントは非転送状態に設定されるので、メモリセル173bの信号を増幅する必要があるからである。

【0121】この状態においては、メモリセル173bの信号が、非転送状態にあるセグメントに属するセンスアンプ回路174bにおいて増幅されている状態であり、まだ転送状態にあるセグメントに属するセンスアンプ回路174aには、副記憶部102内のメモリセル182からのデータがデータ転送バス線対176を介して取り込まれていない。

【0122】このように、データ転送動作を行う前に、非転送状態にあるセグメント内のセンスアンプ回路174bにおいてメモリセル173bの信号を増幅するのは、メモリセル173bの信号が極めて微弱であるため

10

20

30

40

50

に、他の回路からの雑音による誤動作を防止するためである。つまり、副記憶部102からセンスアンプ回路174aにデータが転送される際及び増幅される際に発生する雑音が、非転送状態にあるセグメントに属するセンスアンプ回路174bのメモリセル173bの信号の増幅動作に影響を与えないようにするためである。

【0123】非転送状態にあるセグメントに属するセンスアンプ回路174bがメモリセル173bの信号の増幅を行っている途中で、副記憶部制御回路142がデータ転送用副記憶行選択線250のレベルをローレベルとし、副記憶部102内のメモリセル182とデータ転送バス線対176とを電気的に切り離す。続いて、非転送状態にある第2セグメントに属するセンスアンプ回路174bによってある程度メモリセル173bの信号が増幅されると、センスアンプ部制御回路302はディジット線バランスプリチャージ信号線202aのレベルをローレベルに設定して第1セグメントに属するセンスアンプ回路内のディジット線バランスプリチャージ回路を非動作状態にする。また、センスアンプ部制御回路302は、センスアンプ部転送スイッチ信号線204aのレベルを主記憶部昇圧電源レベルV1'に設定してNMOSトランジスタ218、220からなる接続回路を開状態にしてデータ転送バス線対176からデータをセンスアンプ回路174a内に取り込む。

【0124】ここで、センスアンプ部転送スイッチ信号線204aのレベルを主記憶部昇圧電源レベルV1'とするのはデータ転送バス線のレベルに対してデータをセンスアンプ回路174a内に取り込むためのNMOSトランジスタ218、220のゲート電極に対して適当な昇圧レベルを与える必要があるからである。尚、本実施形態においては、センスアンプ回路174内に設けられたトランジスタ210、212、214、216のソース電圧を制御するセンスアンプコントロール線208、210の電位を制御してこれらを非導通状態としてからデータ転送バス線対176上の信号を取り込むようにしている。さらに、データ転送バス線対176からデータを取り込む時点において、ディジット線トランスファースイッチ信号線206のレベルはローレベルとなっており、センスアンプ回路174aとディジット線対170aとが電気的に切り離されているので、短時間でデータ取り込みが行える。

【0125】データの取り込みが終了すると、センスアンプ部制御回路302は、センスアンプ部転送スイッチ信号線204aのレベルをローレベルとし、転送状態にある第1セグメントに属するセンスアンプ回路174aをデータ転送バス線対176から電気的に切り離す。また、センスアンプ部制御回路302はセンスアンプコントロール線208aのレベルを主記憶電源レベルV1に設定し、センスアンプコントロール線210aのレベルを接地レベル0に設定する。次に、データ転送バス線制

御回路140がデータ転送バス線制御信号線190のレベルを主記憶部昇圧電源レベルV1'に設定する。以上の動作によって転送動作が終了する。

【0126】この状態で、センスアンプ部制御回路302は、ディジット線トランスファースイッチ信号線206のレベルをハイレベルとし、第1セグメントに属するセンスアンプ回路174aとディジット線対170aとを、第2セグメントに属するセンスアンプ回路174bとディジット線対170bとをそれぞれ電気的に接続する。センスアンプ回路174aに取り込まれた信号はPMOSトランジスタ210、212からなるフリップフロップ及びNMOSトランジスタ214、216からなるフリップフロップによって増幅され、図16に示したように、センスアンプ内接点対217間の電位差は大となり、ディジット線対170a間の電位差も徐々に大となる。ディジット線対170aのデータは主記憶メモリセル110に取り込まれる。続いてプリチャージコマンド(PRE)が入力されると主記憶行デコーダ112がワード線172をローレベルにするとともに、センスアンプ部制御回路302がセンスアンプコントロール線208a、208bのレベル及びセンスアンプコントロール線210a、210bのレベルを中間電位中間電位レベル1/2V1に設定する。センスアンプ部制御回路302はディジット線バランスプリチャージ信号線202a、202bをハイレベルとしてディジット線バランスプリチャージ回路を動作状態とすると転送動作が完了する。

#### 【0127】

【発明の効果】以上、説明したように、本発明によれば、主記憶部とキャッシュメモリとして機能する副記憶部とを有し、前記主記憶部と前記副記憶部との間に設けられたデータ転送バス線を介して双方向のデータ転送が可能となるように構成された半導体集積回路装置であって、非データ転送時に、前記主記憶部に供給する電源電圧より低いレベルの電圧を前記データ転送バス線に対して供給する電源手段を備えたので、内部で発生するノイズを有効に抑えながら安定的に動作することができるという効果がある。また、主記憶部から副記憶部へのデータ転送時又は副記憶部から主記憶部へのデータ転送時に、センスアンプ回路とデータ転送バス線を接続する接続回路及びメモリセルとデータ転送バス線を接続する接続回路に供給する電圧を変化するようにしたので異なる動作電圧で動作する主記憶部と副記憶部とのデータ転送を効率的に行うことができるという効果がある。更に、センスアンプ回路内に取り込んだデータの増幅動作と、センスアンプ回路と前記主記憶部メモリセルとを電気的に絶縁するタイミングを調整したり、動作開始命令と転送動作開始命令との入力タイミングを同一とすることで、動作周波数が高くなった場合であっても対応が可能であるという効果がある。

## 【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態による半導体記憶装置の全体の構成を概略的に示すブロック図である。

【図 2】 図 1 中の主記憶メモリセル 110 と副記憶メモリセル 120 との第 1 実施形態による接続関係を簡略化して示した図である。

【図 3】 データ転送バス線プリチャージ回路 152 の内部構成を示す図であり、図 1 又は図 2 に示した部材と同一の部材については同一の符号が付してある。

【図 4】 データ転送バス線プリチャージ電源回路 154 10 の内部構成を示す図である。

【図 5】 主記憶センスアンプ回路 114 の構成等を示す図である。

【図 6】 センスアンプ部制御回路 138 内に設けられたセンスアンプ部転送スイッチ信号生成回路 230 の構成を示す図である。

【図 7】 副記憶メモリセル行 180 の内部構成等を示す図である。

【図 8】 副記憶部制御回路 142 内に設けられたデータ転送用副記憶行選択線生成回路 280 の構成を示す図 20 である。

【図 9】 本発明の第 1 実施形態による半導体集積回路装置における主記憶部 101 から副記憶部 102 へデータ転送を行う際の動作を示すタイミングチャートである。

【図 10】 本発明の第 1 実施形態による半導体集積回路装置における副記憶部 102 から主記憶部 101 へデータ転送を行う際の動作を示すタイミングチャートである。

【図 11】 本発明の第 1 実施形態による半導体集積回路装置における主記憶部 101 から副記憶部 102 へデータ転送の高速化を図った場合の動作を示すタイミングチャートである。

【図 12】 本発明の第 1 実施形態による半導体集積回路装置における主記憶部 101 から副記憶部 102 へデータ転送の他の動作例を示すタイミングチャートである。

【図 13】 本発明の第 1 実施形態による半導体集積回路装置における主記憶部 101 から副記憶部 102 へデータ転送の他の動作例を示すタイミングチャートである。

【図 14】 図 1 中の主記憶メモリセル 110 と副記憶メモリセル 120 との第 2 実施形態による接続関係を簡略化して示した図である。

【図 15】 主記憶センスアンプ回路 300 の構成等を示す図である。

【図 16】 本発明の第 2 実施形態による半導体集積回路装置における副記憶部 102 から主記憶部 101 へデータ転送を行う際の動作を示すタイミングチャートである。

【図 17】 CDRAM のメモリアレイ部の構成の一例を概略的に示す図である。

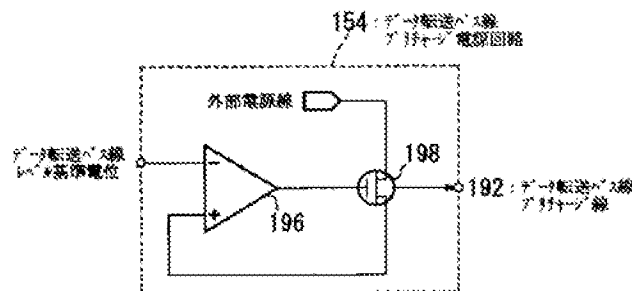
【図 18】 双方向転送ゲート回路 9203 の詳細な構成を示す図である。

【図 19】 双方向転送ゲート回路 9203 の詳細な構成を示す図である。

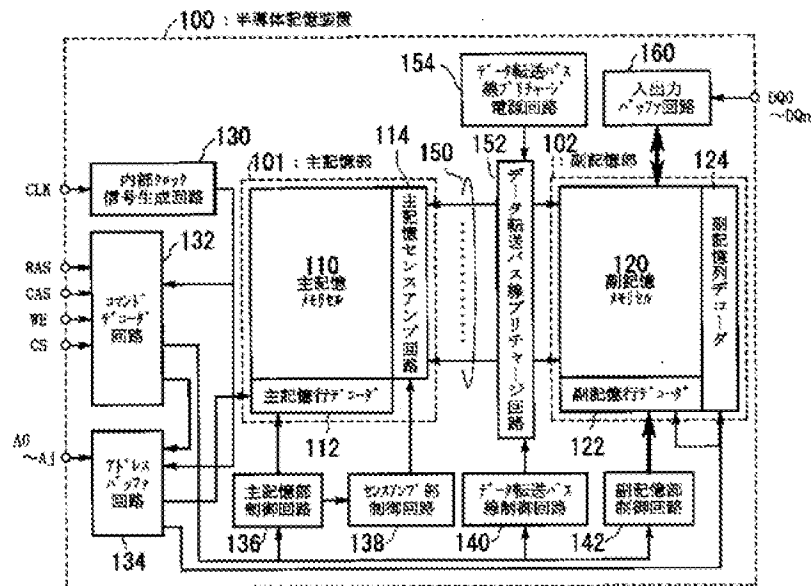
## 【符号の説明】

101	主記憶部
102	副記憶部
152	データ転送バス線プリチャージ電源回路（電源手段）
176	データ転送バス線封
174	センスアンプ回路
150	データ転送バス線
138	センスアンプ部制御回路
182	メモリセル
142	副記憶部制御回路
210, 212, 256, 258	PMOS トランジスタ（トランジスタ）
214, 216, 260, 262	NMOS トランジスタ（トランジスタ）
222, 224	NMOS トランジスタ（スイッチ手段）

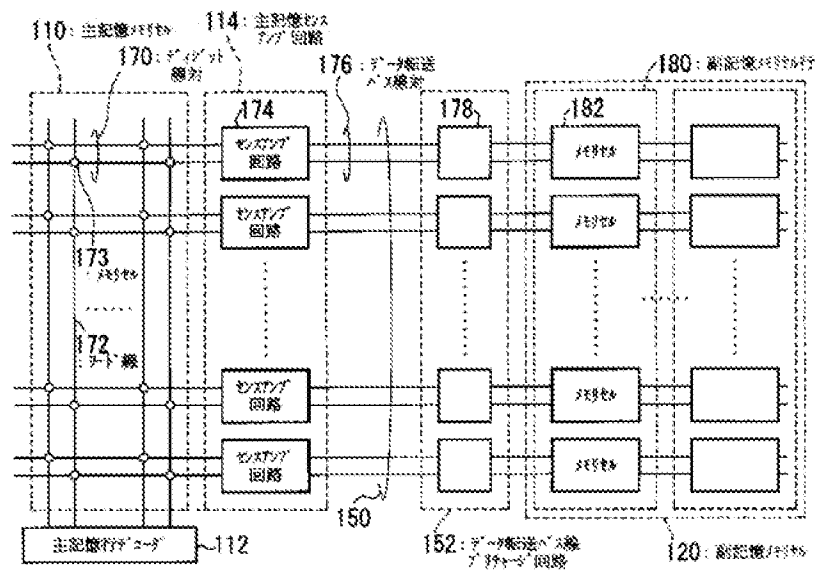
【図 4】



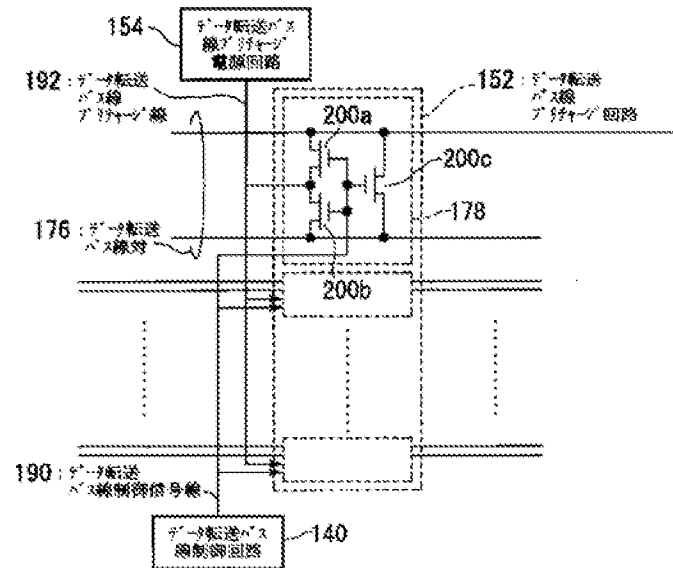
【図1】



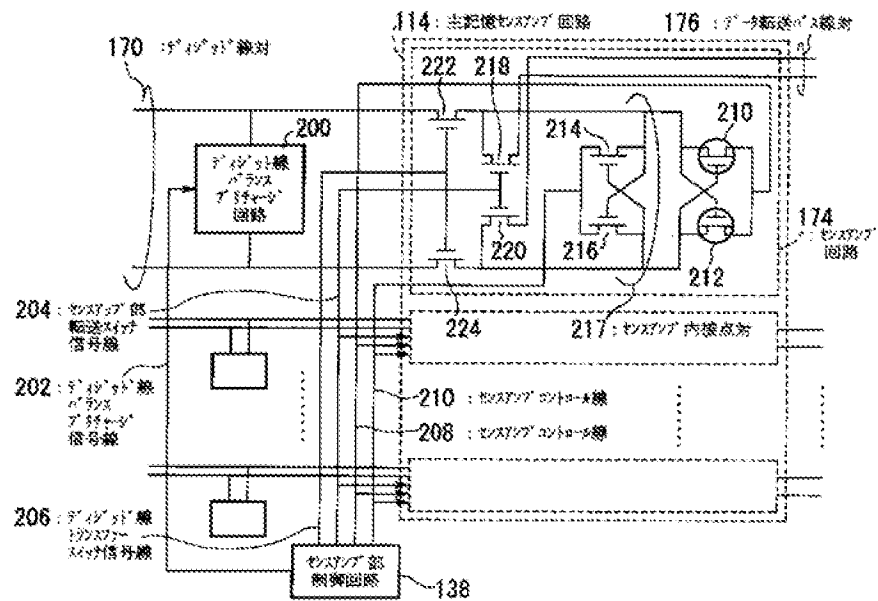
【図2】



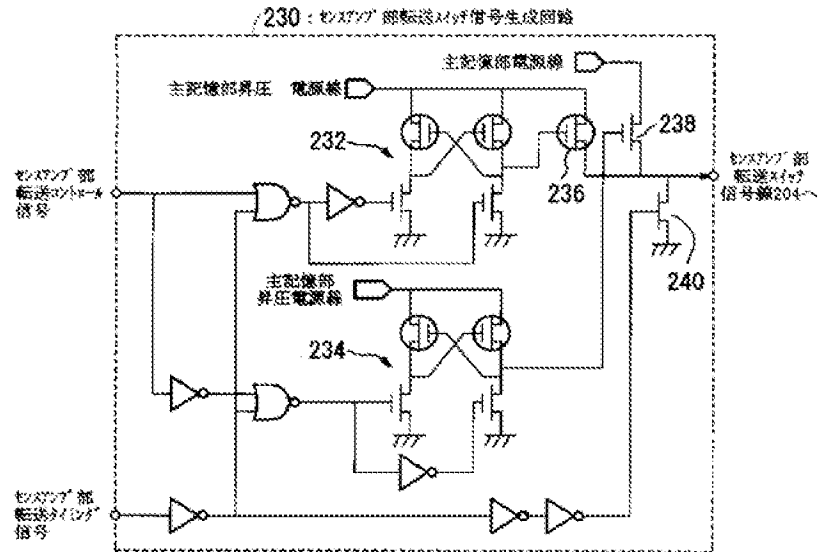
【図3】



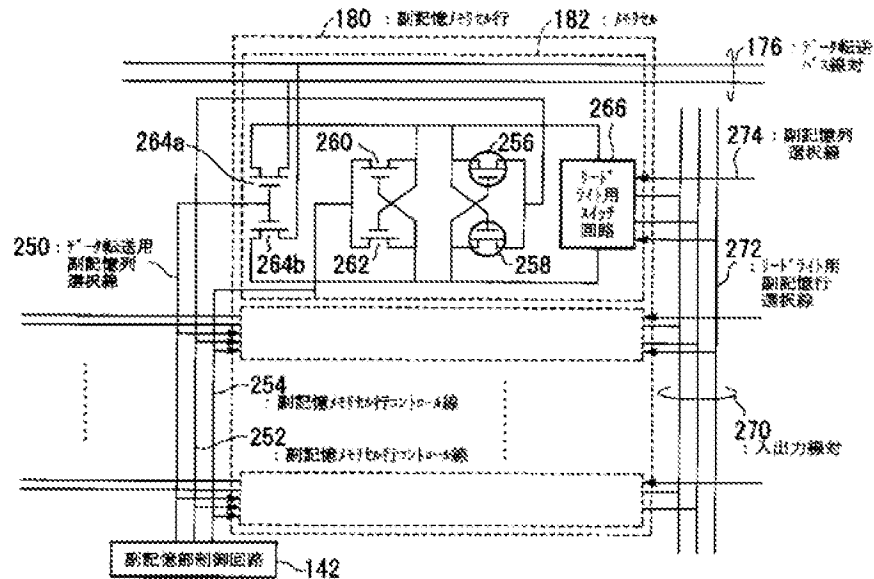
【図5】



【図6】

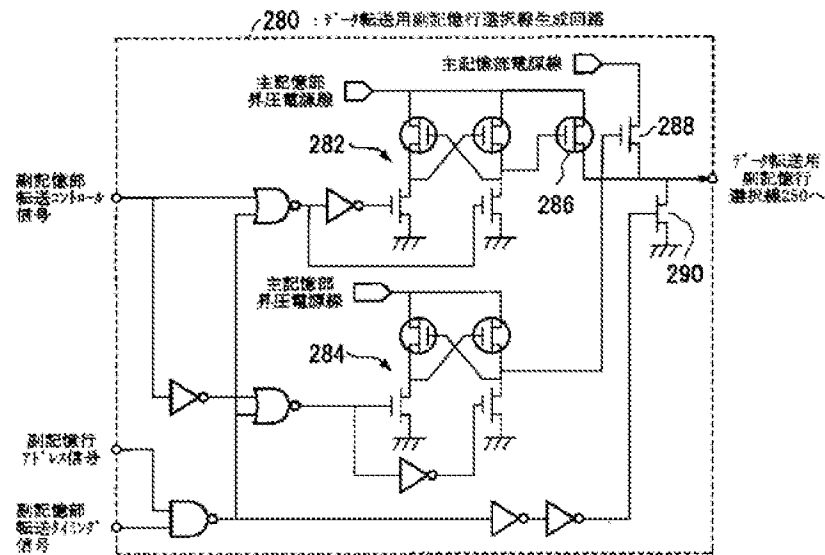


【図7】

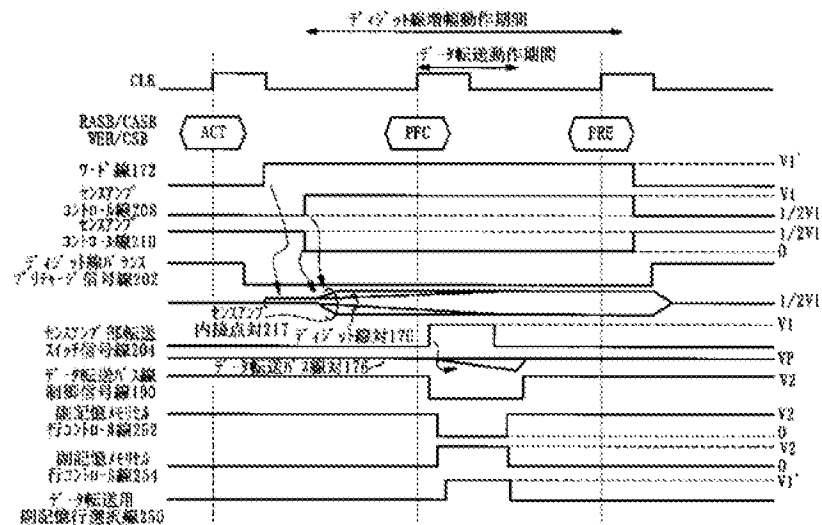




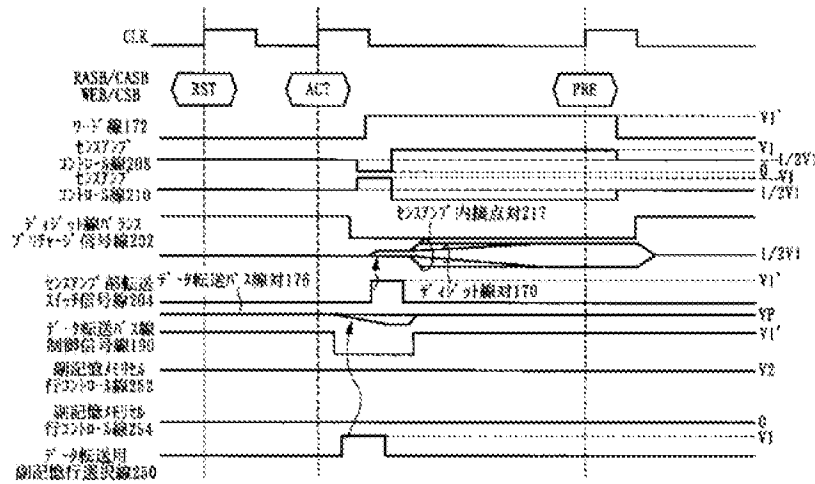
【附 8】



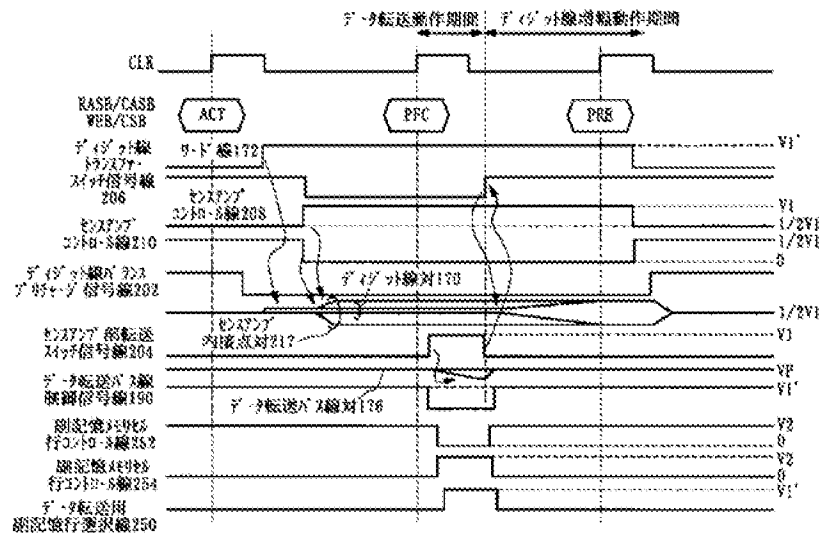
【附】



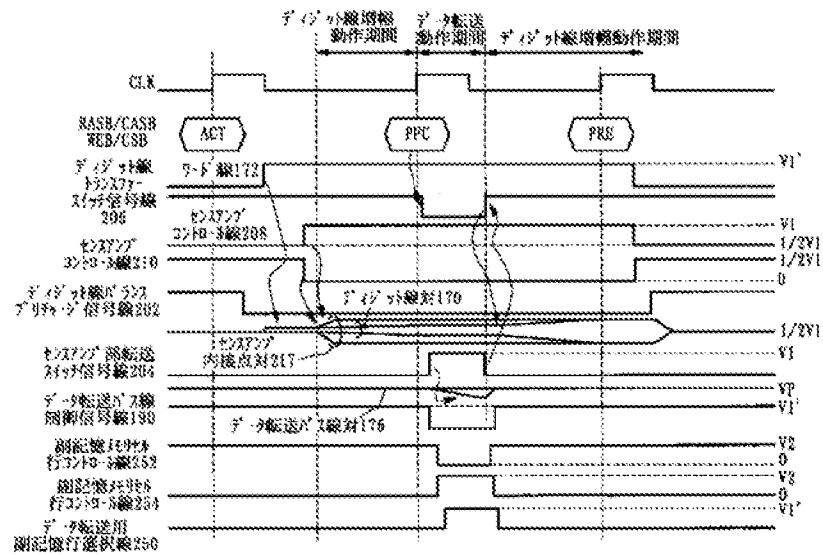
【図10】



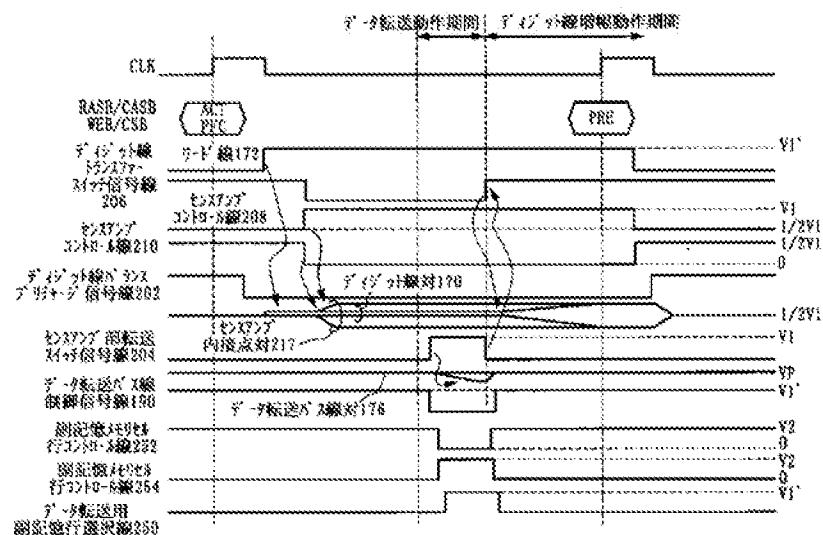
【図11】



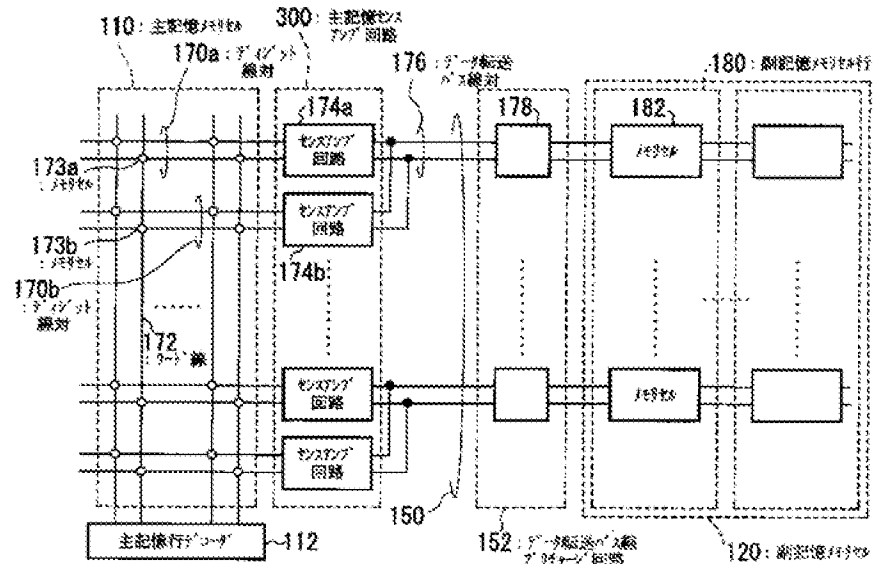
【例 12】



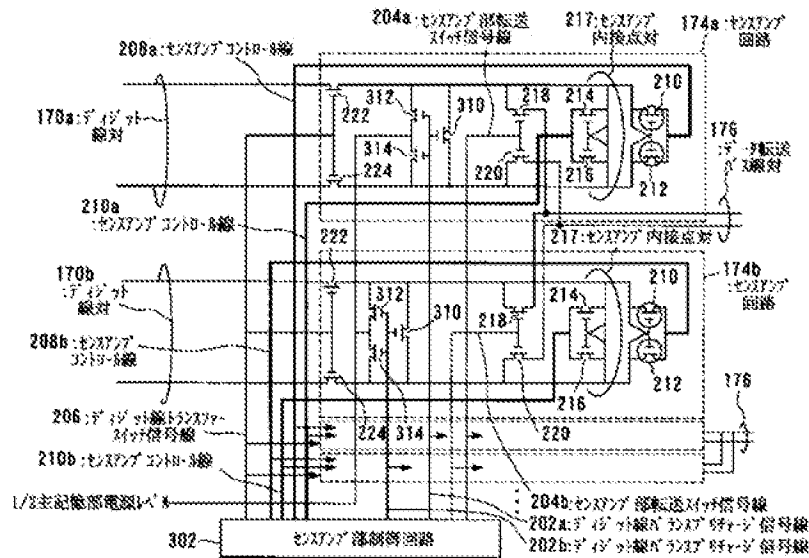
【M13】



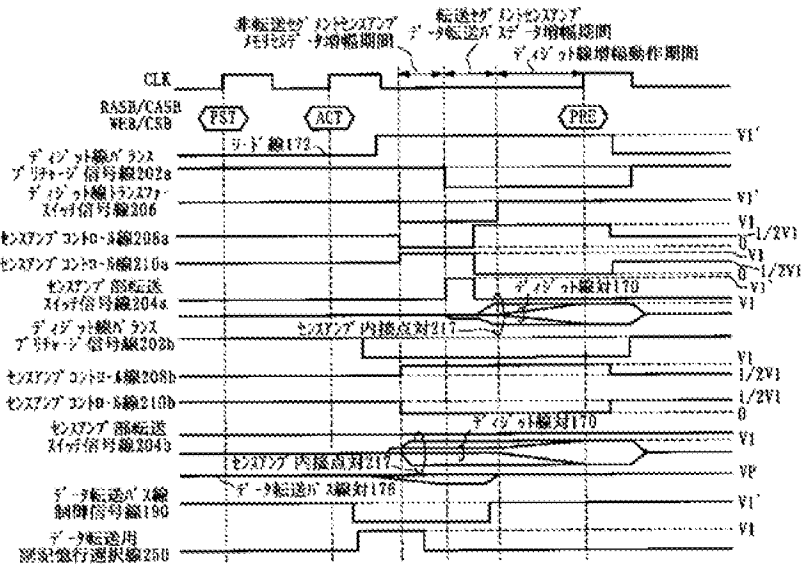
【図14】



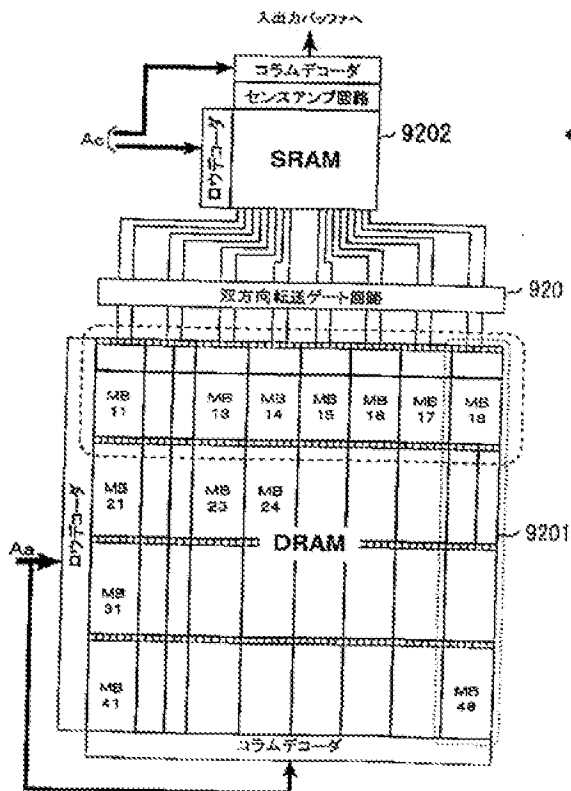
【図15】



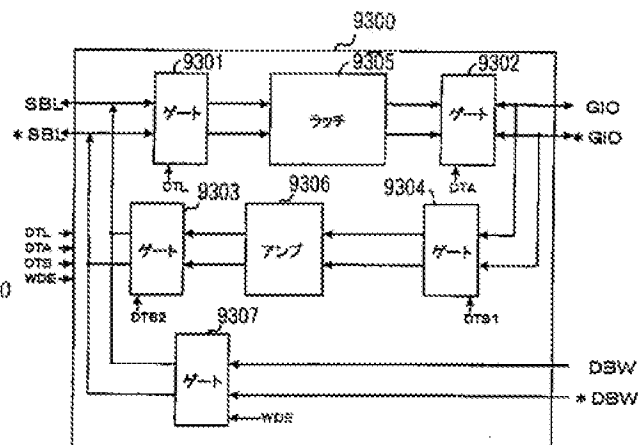
【図16】



【図17】



【図18】



【図19】

